

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164467  
(43)Date of publication of application : 07.06.2002

(51)Int.Cl. H01L 23/12  
H05K 3/46

(21)Application number : 2001-024688  
(22)Date of filing : 31.01.2001

(71)Applicant : SONY CORP  
(72)Inventor : OGAWA TAKESHI  
NISHITANI YUJI  
OKUHORA AKIHIKO

## (30)Priority

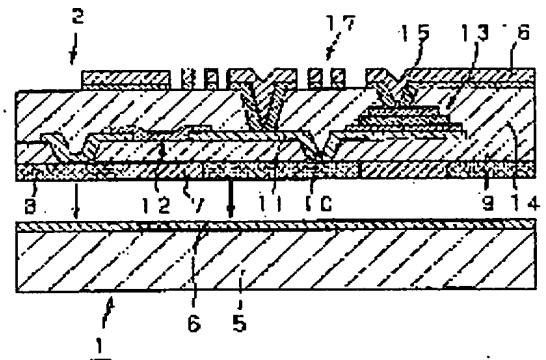
Priority number : 2000280631 Priority date : 14.09.2000 Priority country : JP

(54) CIRCUIT BLOCK BODY, ITS MANUFACTURING METHOD, WIRING CIRCUIT DEVICE, ITS MANUFACTURING METHOD, SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To contrive miniaturization and a low cost by thinning with high precision and high function.

SOLUTION: A peeling layer forming process for forming a peeling layer 6 on a main face flattening a base board 1, an insulation layer forming process for forming insulation layers 7, 9, 16 on the peeling layer 6, a wiring layer forming process for forming wiring layers 8, 11, 14 on the insulation layer 7, and a circuit block body peeling process for peeling a circuit block body 2 comprising each insulation layer and wiring layer through the peeling layer are provided. The circuit block body 2 incorporates film formation elements 12, 13, 17 in the wiring layer, and is mounted on a base board 3 to compose a wiring device. The circuit block body 2 mounts a semiconductor chip 62 on the surface and is mounted on a base board 64 to compose a semiconductor device.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-164467

(P 2002-164467 A)

(43) 公開日 平成14年6月7日 (2002. 6. 7)

(51) Int. Cl. 7	識別記号	F I	テーマコード* (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 B 5E346
	3 0 1		3 0 1 L
H 0 5 K 3/46		H 0 5 K 3/46	Q
			N
			T

審査請求 未請求 請求項の数 7 3

O L

(全 2 5 頁)

(21) 出願番号 特願2001-24688 (P2001-24688)

(22) 出願日 平成13年1月31日 (2001. 1. 31)

(31) 優先権主張番号 特願2000-280631 (P2000-280631)

(32) 優先日 平成12年9月14日 (2000. 9. 14)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小川 剛

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 西谷 祐司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100067736

弁理士 小池 晃 (外2名)

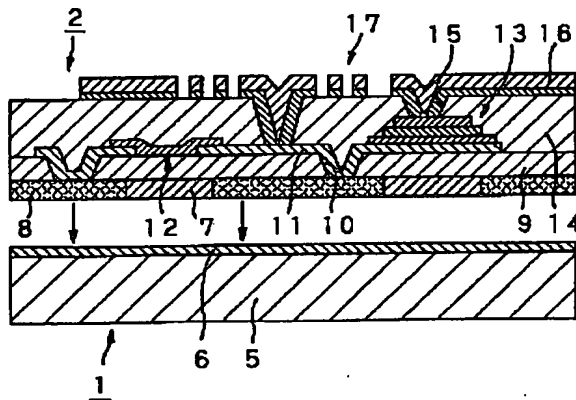
最終頁に続く

(54) 【発明の名称】 回路ブロック体及びその製造方法、配線回路装置及びその製造方法並びに半導体装置及びその製造方法

(57) 【要約】

【課題】 高精度、高機能で薄型化され、パッケージの小型化、低価格を図るようにする。

【解決手段】 母基板 1 の平坦化された主面上に剥離層 6 を形成する剥離層形成工程と、剥離層 6 上に絶縁層 7、9、16 を形成する絶縁層形成工程と、絶縁層 7 に配線層 8、11、14 を形成する配線層形成工程と、剥離層を介して各絶縁層及び配線層からなる回路ブロック体 2 を剥離する回路ブロック体剥離工程とを有してなる。回路ブロック体 2 は、配線層内に成膜素子 12、13、17 が内蔵されベース基板 3 に実装されて配線装置を構成する。回路ブロック体 2 は、表面に半導体チップ 62 が実装されるとともにベース基板 64 に実装されて半導体装置を構成する。



## 【特許請求の範囲】

【請求項 1】 絶縁層と、この絶縁層にパターンニング形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる薄厚のシート状に形成されてなり、

母基板の平坦化された主面に形成された剥離層上に形成されるとともに、この剥離層を介して上記母基板から剥離されて形成されることを特徴とする回路ブロック体。

【請求項 2】 少なくとも 1 層以上の配線部が所定箇所を互いに層間接続されて形成されるとともに、最上層の配線部或いは最下層の配線部に上記外部接続ランドが形成されてなることを特徴とする請求項 1 に記載の回路ブロック体。

【請求項 3】 上記配線部内に、薄膜技術或いは厚膜技術により成膜素子が成膜形成されて成膜素子内蔵型配線回路ブロック体を構成することを特徴とする請求項 2 に記載の回路ブロック体。

【請求項 4】 上記成膜素子が、薄膜技術によって成膜形成された抵抗体及びキャパシタと、厚膜技術によって成膜形成されたインダクタとからなる受動素子であり、高周波回路ブロック体を構成することを特徴とする請求項 3 に記載の回路ブロック体。

【請求項 5】 上記配線部上に、半導体チップを実装するとともにこの半導体チップを封止する封止樹脂層が形成されて半導体装置を構成することを特徴とする請求項 1 に記載の回路ブロック体。

【請求項 6】 上記半導体チップ及び封止樹脂層が表面を研磨されて薄型化されていることを特徴とする請求項 5 に記載の回路ブロック体。

【請求項 7】 上記配線部に、電極パターンと、金属膜からなる多数個の突起電極とが形成され、上記封止樹脂層が表面を研磨されて上記各突起電極と半導体チップとが露出されていることを特徴とする請求項 5 に記載の回路ブロック体。

【請求項 8】 露出された上記各突起電極に、それぞれ金属ボール端子が設けられていることを特徴とする請求項 7 に記載の回路ブロック体。

【請求項 9】 上記配線部の底面に、表面実装型部品及び／又は半導体チップが実装されるとともに、これらを封止する封止樹脂層が形成されていることを特徴とする請求項 5 に記載の回路ブロック体。

【請求項 10】 上記表面実装型部品及び／又は半導体チップと封止樹脂層とが研磨されて薄型化されていることを特徴とする請求項 5 に記載の回路ブロック体。

【請求項 11】 平坦化された主面を有する母基板の上記主面上に剥離層を形成する剥離層形成工程と、上記剥離層上に絶縁層を形成する絶縁層形成工程と、上記絶縁層に、多数個の外部接続ランドを有する配線部をパターンニングして形成する配線部形成工程と、上記剥離層を介して、上記母基板から上記絶縁層と配線

部とからなる薄厚の回路ブロック体を剥離する剥離工程とを有することを特徴とする回路ブロック体の製造方法。

【請求項 12】 上記剥離層上に第 1 の絶縁層をパターンニングして形成する第 1 の絶縁層形成工程と、上記第 1 の絶縁層の開孔パターンにメッキ処理によって第 1 の配線部を形成する第 1 の配線部形成工程と、上記第 1 の絶縁層と第 1 の配線部上に、複数のビアをパターンニングしながら第 2 の絶縁層を形成する第 2 の絶縁層形成工程と、

上記第 2 の絶縁層上に、外部接続ランド及び薄膜技術或いは厚膜技術によって成膜形成される上記成膜素子を含む第 2 の配線部を形成する第 2 の配線部形成工程とを施し、

上記各絶縁層形成工程と配線部形成工程とが、それぞれ交互に行われることによって多層の配線部が形成されることを特徴とする請求項 11 に記載の回路ブロック体の製造方法。

【請求項 13】 上記母基板に、シリコン基板或いはガラス基板が用いられることを特徴とする請求項 11 に記載の回路ブロック体の製造方法。

【請求項 14】 上記剥離層形成工程が、上記母基板の主面上に金属膜層からなる剥離層を形成する工程であることを特徴とする請求項 11 に記載の回路ブロック体の製造方法。

【請求項 15】 上記剥離工程が、酸溶液或いはアルカリ溶液に浸漬することにより、上記金属膜層からなる剥離層から上記回路ブロック体を剥離する工程であることを特徴とする請求項 11 に記載の回路ブロック体の製造方法。

【請求項 16】 上記母基板に対して、その主面上に上記回路ブロック体が複数個連続して形成され、上記母基板上においてそれぞれ分割される切断工程が施された後に、上記剥離工程が施されて上記回路ブロック体が 1 個ずつに分離されて形成されることを特徴とする請求項 11 に記載の回路ブロック体の製造方法。

【請求項 17】 上記剥離層形成工程の前工程として、上記母基板の主面上にダミー層を形成するダミー層形成工程が施され、

上記切断工程において、上記回路ブロック体をそれぞれ分離するカットが上記ダミー層で停止されて上記母基板の主面に達しないように制御されることを特徴とする請求項 16 に記載の回路ブロック体の製造方法。

【請求項 18】 上記配線部形成工程が、上記絶縁層上に、薄膜技術や厚膜技術によって成膜形成される成膜素子を内蔵した少なくとも 1 層以上の成膜素子内蔵配線部を形成する工程であることを特徴とする請求項 11 に記載の回路ブロック体の製造方法。

【請求項 19】 上記成膜素子の形成工程が、薄膜技術によって抵抗体及びキャパシタとを成膜形成する工程

と、厚膜技術によってインダクタを成膜形成する工程とからなり、

上記成膜素子によって上記配線部を高周波回路部として構成することを特徴とする請求項 11 に記載の回路ブロック体の製造方法。

【請求項 20】 最上層の上記配線部に対して、半導体チップを実装する半導体実装工程と、この半導体チップを封止する封止樹脂層を形成する封止樹脂層形成工程とが施されて半導体装置を形成することを特徴とする請求項 11 に記載の回路ブロック体の製造方法。

【請求項 21】 上記半導体チップ及び封止樹脂層の表面を研磨して薄型化する研磨工程が施されることを特徴とする請求項 20 に記載の回路ブロック体の製造方法。

【請求項 22】 最上層の上記配線部に形成された電極パターンに対して金属膜からなる突起電極を形成する電極形成工程と、半導体チップを実装する半導体実装工程と、上記突起電極と半導体チップとを封止する封止樹脂層を形成する封止樹脂層形成工程と、上記封止樹脂層を研磨して上記突起電極と半導体チップとを露出させる研磨工程とが施されることを特徴とする請求項 11 に記載の回路ブロック体の製造方法。

【請求項 23】 露出された上記各突起電極に、それぞれ金属ボール端子を形成する金属ボール端子形成工程を施すことを特徴とする請求項 22 に記載の回路ブロック体の製造方法。

【請求項 24】 上記配線部の底面に、表面実装型部品及び／又は半導体チップを実装する部品実装工程を施すことを特徴とする請求項 11 に記載の回路ブロック体の製造方法。

【請求項 25】 上記配線部の底面に実装された表面実装型部品及び／又は半導体チップを封止する封止樹脂層を形成する封止樹脂層形成工程を施すことを特徴とする請求項 24 に記載の回路ブロック体の製造方法。

【請求項 26】 絶縁層と、この絶縁層にパターンニングして形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる薄厚のシート状に形成されてなり、母基板の平坦化された主面に形成された剥離層上に形成されるとともに、この剥離層を介して上記母基板から剥離されて形成された回路ブロック体と、主面上に、上記回路ブロック体の各外部接続ランドに対応して多数個の接続ランドが形成されたベース基板とを備え、

上記回路ブロック体が、上記各接続ランドを相対する上記外部接続ランドとそれぞれ接続されて、上記ベース基板の主面上に接合されて実装されることを特徴とする配線回路装置。

【請求項 27】 上記各接続ランドにそれぞれポストバンプが形成されるとともに、上記ベース基板の主面上に上記ポストバンプを覆って熱可塑性樹脂材からなる接着剤層が形成されてなり、

上記回路ブロック体が、上記ベース基板の主面上に重ね合わされた状態で熱圧着されることによって上記各ポストバンプが接着剤層を突き抜けて上記接続ランドと接続されて、上記ベース基板の上に接合されて実装されることを特徴とする請求項 26 に記載の配線回路装置。

【請求項 28】 少なくとも 1 層以上の配線部が所定箇所を互いに層間接続されて形成されるとともに、最上層の配線部或いは最下層の配線部に上記外部接続ランドが形成されてなることを特徴とする請求項 26 に記載の配線回路装置。

【請求項 29】 上記ベース基板に、アルミナ、ガラスセラミックアルミナイトライド或いはムライトから選択された材料を基材とするセラミック多層基板が用いられることを特徴とする請求項 26 に記載の配線回路装置。

【請求項 30】 上記ベース基板に、ガラスエポキシ、ポリイミド、ビスマレイトトリアジン樹脂、ポリフェニールエチレン樹脂、フェノール樹脂、ポリオレフィン樹脂或いはポリテトラフルオロエチレンから選択された材料を基材とする有機多層基板が用いられることを特徴とする請求項 26 に記載の配線回路装置。

【請求項 31】 上記ベース基板が、少なくとも一方の主面に、感光性若しくは非感光性のエポキシ樹脂、ポリイミド或いはベンゾシクロブテンの誘電樹脂材層と金属メッキ層とによって高密度配線層が形成されたビルドアップ基板が用いられることを特徴とする請求項 29 又は請求項 30 のいずれか 1 項に記載の配線回路装置。

【請求項 32】 上記回路ブロック体が、上記ビルドアップベース基板上に高周波集積回路素子或いは集積回路チップとともに実装され、

上記ビルドアップベース基板側から電源或いは信号の供給を受けることを特徴とする請求項 31 に記載の配線回路装置。

【請求項 33】 上記回路ブロック体が、上記配線部内に、薄膜技術或いは厚膜記述により成膜素子が成膜形成されて成膜素子内蔵型配線回路ブロック体を構成することを特徴とする請求項 26 に記載の配線回路装置。

【請求項 34】 上記成膜素子が、薄膜技術によって成膜形成された抵抗体及びキャパシタと、厚膜技術によって成膜形成されたインダクタとからなる受動素子であり、上記回路ブロック体が高周波回路ブロック体を構成することを特徴とする請求項 26 に記載の配線回路装置。

【請求項 35】 上記回路ブロック体の配線部上に、表面実装型部品或いはチップ部品が直接実装されていることを特徴とする請求項 26 に記載の配線回路装置。

【請求項 36】 平坦化された主面を有する母基板の上記主面上に剥離層を形成する剥離層形成工程と、上記剥離層上に絶縁層を形成する絶縁層形成工程と、上記絶縁層に、多数個の外部接続ランドを有する配線部をパターンニングして形成する配線部形成工程と、上記剥離層を介

して上記母基板から上記絶縁層と配線部とからなる回路ブロック体を剥離する剥離工程とを経て薄厚の回路ブロック体を形成する回路ブロック体形成工程と、  
上記回路ブロック体をベース基板の主面上に接合して実装する回路ブロック体接合工程とを有することを特徴とする配線回路装置の製造方法。

【請求項 3 7】 上記配線部の各接続ランドにポストバンプを形成するポストバンプ形成工程と、熱可塑性樹脂材からなる接着剤層が形成された上記ベース基板に対して重ね合わされた状態で熱圧着処理することによって接

合される接合工程とが施され、  
上記外部接続ランドに対して、上記各ポストバンプが上記接着剤層を突き抜けてそれぞれ接合することにより上記ベース基板に形成された接続ランドとの接続が行われることを特徴とする請求項 3 6 に記載の配線回路装置の製造方法。

【請求項 3 8】 上記剥離層上に第 1 の絶縁層をパターンニングして形成する第 1 の絶縁層形成工程と、  
上記第 1 の絶縁層の開口パターンにメッキ処理によって第 1 の配線部を形成する第 1 の配線部形成工程と、

上記第 1 の絶縁層と第 1 の配線部上に、複数のビアをパターンニングしながら第 2 の絶縁層を形成する第 2 の絶縁層形成工程と、

上記第 2 の絶縁層上に、外部接続ランド及び薄膜技術或いは厚膜技術によって成膜形成される上記成膜素子を含む第 2 の配線部を形成する第 2 の配線部形成工程とを施し、

上記各絶縁層形成工程と配線部形成工程とが、それぞれ交互に行われることによって多層積層体からなる上記回路ブロック体を形成することを特徴とする請求項 3 6 に記載の配線回路装置の製造方法。

【請求項 3 9】 上記母基板に、シリコン基板或いはガラス基板を用いることを特徴とする請求項 3 6 に記載の配線回路装置の製造方法。

【請求項 4 0】 上記剥離層形成工程が、上記母基板の主面上に金属膜層からなる剥離層を形成する工程であることを特徴とする請求項 3 6 に記載の配線回路装置の製造方法。

【請求項 4 1】 上記剥離工程が、酸溶液或いはアルカリ溶液に浸漬することにより、上記金属層からなる剥離層から上記回路ブロック体を剥離する工程であることを特徴とする請求項 3 6 に記載の配線回路装置の製造方法。

【請求項 4 2】 上記母基板に対して、その主面上に上記回路ブロック体が複数個連続して形成され、  
上記母基板上においてそれぞれ分割される切断工程が施された後に、上記剥離工程が施されて上記回路ブロック体が 1 個ずつに分離されて形成されることを特徴とする請求項 3 6 に記載の配線回路装置の製造方法。

【請求項 4 3】 上記剥離層形成工程の前工程として、

上記母基板の主面上にダミー層を形成するダミー層形成工程が施され、

上記切断工程において、上記回路ブロック体をそれぞれ分離するカットが上記ダミー層で停止されて上記母基板の主面に達しないように制御されることを特徴とする請求項 4 2 に記載の配線回路装置の製造方法。

【請求項 4 4】 上記配線部形成工程が、上記絶縁層上に、薄膜技術や厚膜技術によって成膜形成される成膜素子を内蔵した少なくとも 1 層以上の成膜素子内蔵配線部を形成する工程であることを特徴とする請求項 3 6 に記載の配線回路装置の製造方法。

【請求項 4 5】 上記成膜素子の形成工程が、薄膜技術によって抵抗体及びキャパシタとを成膜形成する工程と、厚膜技術によってインダクタを成膜形成する工程とからなり、

上記成膜素子によって上記配線部を高周波回路部として構成することを特徴とする請求項 3 6 に記載の配線回路装置の製造方法。

【請求項 4 6】 上記ベース基板に、アルミナ、ガラスセラミックアルミナイトライド或いはムライトから選択された材料を基材とするセラミック多層基板が用いられることを特徴とする請求項 3 6 に記載の配線回路装置の製造方法。

【請求項 4 7】 上記ベース基板に、ガラスエポキシ、ポリイミド、ビスマレイトトリアジン樹脂、ポリフェニールエチレン樹脂、フェノール樹脂、ポリオレフィン樹脂或いはポリテトラフルオロエチレンから選択された材料を基材とする有機多層基板が用いられることを特徴とする請求項 3 6 に記載の配線回路装置の製造方法。

【請求項 4 8】 上記ベース基板に、少なくとも一方の主面に感光性若しくは非感光性のエポキシ樹脂、ポリイミド或いはベンゾシクロブテンの誘電樹脂材層と金属メッキ層とによって高密度配線層が形成されたビルドアップ基板が用いられることを特徴とする請求項 4 6 又は請求項 4 7 のいずれか 1 項に記載の配線回路装置の製造方法。

【請求項 4 9】 絶縁層と、この絶縁層にパターンニングして形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる薄厚のシート状に形成されてなり、母基板の平坦化された主面に形成された剥離層上に形成されるとともに、この剥離層を介して上記母基板から剥離されて形成された回路ブロック体と、  
上記配線部上に実装された半導体チップ及びこの半導体チップを封止する封止樹脂層と、

主面上に、上記回路ブロック体の各外部接続ランドに対応して多数個の接続ランドが形成されたベース基板とを備え、

上記回路ブロック体が、上記各接続ランドを相対する上記外部接続ランドとそれぞれ接続されて、上記ベース基板の主面上に接合されて実装されることを特徴とする半

導体装置。

【請求項50】 上記各接続ランドにそれぞれポストバンプが形成されるとともに、上記ベース基板の主面上に上記ポストバンプを覆って熱可塑性樹脂材からなる接着剤層が形成されてなり、

上記回路ブロック体が、上記ベース基板の主面上に重ね合わされた状態で熱圧着されることによって上記各ポストバンプが接着剤層を突き抜けて上記接続ランドと接続されることを特徴とする請求項49に記載の半導体装置。

【請求項51】 少なくとも1層以上の配線部が所定箇所を互いに層間接続されて形成されるときともに、上記半導体チップが実装された最上層の配線部或いは最下層の配線部に上記外部接続ランドが形成されてなることを特徴とする請求項49に記載の半導体装置。

【請求項52】 上記ベース基板に、アルミナ、ガラスセラミックアルミナイトライド或いはムライトから選択された材料を基材とするセラミック多層基板が用いられることを特徴とする請求項49に記載の半導体装置。

【請求項53】 上記ベース基板に、ガラスエポキシ、ポリイミド、ビスマレイトトリアジン樹脂、ポリフェニールエチレン樹脂、フェノール樹脂、ポリオレフィン樹脂或いはポリテトラフルオロエチレンから選択された材料を基材とする有機多層基板が用いられることを特徴とする請求項49に記載の半導体装置。

【請求項54】 上記ベース基板が、少なくとも一方の主面に、感光性若しくは非感光性のエポキシ樹脂、ポリイミド或いはベンゾシクロブテンの誘電樹脂材層と金属メッキ層とによって高密度配線層が形成されたビルドアップ基板が用いられることを特徴とする請求項52又は請求項53のいずれか1項に記載の半導体装置。

【請求項55】 上記半導体チップ及び封止樹脂層が表面を研磨されて薄型化されていることを特徴とする請求項49に記載の半導体装置。

【請求項56】 上記配線部に、電極パターンと、金属膜からなる多数個の突起電極とが形成され、上記封止樹脂層が表面を研磨されて上記各突起電極と半導体チップとが露出されていることを特徴とする請求項49に記載の半導体装置。

【請求項57】 露出された上記各突起電極に、それぞれ金属ボール端子が設けられていることを特徴とする請求項56に記載の半導体装置。

【請求項58】 上記配線部の底面に表面実装型部品及び／又は半導体チップが実装されるとともに、これらを封止する封止樹脂層が形成された上記回路ブロック体を備えることを特徴とする請求項49に記載の半導体装置。

【請求項59】 上記半導体チップと封止樹脂層との表面を研磨されて薄型化されていることを特徴とする請求項50に記載の半導体装置。

【請求項60】 平坦化された主面を有する母基板の上記主面上に剥離層を形成する剥離層形成工程と、上記剥離層上に絶縁層を形成する絶縁層形成工程と、上記絶縁層に多数個の外部接続ランドを有する配線部をパターンニングして形成する配線部形成工程とを経て薄厚の回路ブロック体を形成する回路ブロック体形成工程と、上記回路ブロック体の配線部上に半導体チップを実装する半導体チップ実装工程と、

上記半導体チップを封止する封止樹脂層を上記回路ブロック体の配線部上に形成する封止樹脂形成工程と、上記剥離層を介して上記母基板から半導体チップを実装した回路ブロック体を剥離する剥離工程と、上記回路ブロック体をベース基板の主面上に接合して実装する回路ブロック体接合工程とを有することを特徴とする半導体装置の製造方法。

【請求項61】 上記配線部の各接続ランドにポストバンプを形成するポストバンプ形成工程と、熱可塑性樹脂材からなる接着剤層が形成された上記ベース基板に対して重ね合わされた状態で熱圧着処理することによって接合される接合工程とが施され、

上記外部接続ランドに対して、上記各ポストバンプが上記接着剤層を突き抜けてそれぞれ接合することにより上記ベース基板に形成された接続ランドとの接続が行われることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項62】 上記半導体チップ実装工程が、少なくとも1層以上の配線部が所定箇所を互いに層間接続されて形成されてなる上記回路ブロック体の最上層の配線部に上記半導体チップを実装する工程であることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項63】 上記母基板に、シリコン基板或いはガラス基板を用いることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項64】 上記剥離層形成工程が、上記母基板の主面上に金属膜層からなる剥離層を形成する工程であることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項65】 上記剥離工程が、酸溶液或いはアルカリ溶液に浸漬することにより、上記金属層からなる剥離層から上記回路ブロック体を剥離する工程であることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項66】 上記母基板に対して、その主面上に上記回路ブロック体が複数個連続して形成され、上記母基板上においてそれぞれ分割される切断工程が施された後に、上記剥離工程が施されて上記回路ブロック体が1個ずつに分離されて形成されることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項67】 上記剥離層形成工程の前工程として、上記母基板の主面上にダミー層を形成するダミー層形成工程が施され、

上記切断工程において、上記回路ブロック体をそれぞれ分離するカットが上記ダミー層で停止されて上記母基板の主面に達しないように制御されることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 68】 上記ベース基板に、アルミナ、ガラスセラミックアルミナイトライド或いはムライトから選択される材料を基材とするセラミック多層基板が用いられることを特徴とする請求項 60 に記載の半導体装置の製造方法。

【請求項 69】 上記ベース基板に、ガラスエポキシ、ポリイミド、ビスマレイトリアジン樹脂、ポリフェニールエチレン樹脂、フェノール樹脂、ポリオレフィン樹脂或いはポリテトラフルオロエチレンから選択される材料を基材とする有機多層基板が用いられることを特徴とする請求項 60 に記載の半導体装置の製造方法。

【請求項 70】 上記ベース基板に、少なくとも一方の主面に感光性若しくは非感光性のエポキシ樹脂、ポリイミド或いはベンゾシクロブテンの誘電樹脂材層と金属メッキ層とによって高密度配線層が形成されたビルドアップ基板が用いられることを特徴とする請求項 68 又は請求項 69 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 71】 上記封止樹脂形成工程と上記剥離工程との間において、上記半導体チップ及び封止樹脂層の表面を研磨して薄型化する研磨工程を施すことを特徴とする請求項 60 に記載の半導体装置の製造方法。

【請求項 72】 上記配線部に、電極パターンと、金属膜からなる多数個の突起電極とを形成する電極形成工程と、上記封止樹脂層の表面を研磨して上記各突起電極と半導体チップとを露出させる研磨工程とを施すことを特徴とする請求項 60 に記載の半導体装置の製造方法。

【請求項 73】 露出された上記各突起電極にそれぞれ金属ボール端子を設ける金属ボール端子形成工程を施すことを特徴とする請求項 72 に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】 本発明は、薄型化が図られた回路ブロック体及びその製造方法と、この回路ブロック体を備えて高密度薄型化が図られた配線回路装置及びその製造方法と、上記回路ブロック体を備えて高密度薄型化が図られた半導体装置及びその製造方法に関する。

#### 【0002】

【従来の技術】 近年、各種の電子機器等においては、小型軽量化、高機能化或いは多機能化が図られており、内蔵される配線回路装置や半導体装置についても小型高密度実装化が図られている。配線回路装置は、配線回路のビアの微細化或いは配線ピッチの狭窄化が図られるとともに、IC パッケージの小型化や多ピン化、半導体チップのベアチップ実装、さらにはコンデンサや抵抗体等の

受動素子の小型化や表面実装化等の技術開発により、小型高密度実装化が図られている。一方、受動素子においては、小型化の進展に伴って従来技術での製造或いは基板に対する実装が極めて困難となっている。したがって、配線回路装置においては、回路基板の主面上や層内に受動素子を直接成膜して形成した成膜素子内蔵型の配線回路装置も提案されている。

【0003】 かかる成膜素子内蔵型配線回路装置は、セラミック基板上に、例えば金属や絶縁体のペーストをスクリーン印刷法等によって印刷する厚膜技術を用いて抵抗体やキャパシタが成膜形成されてなる。しかしながら、厚膜技術による受動素子の形成は、パターン精度や厚み精度に難があり、また再現性等のバラツキによって十分な信頼性が得られていないといった問題がある。また、厚膜技術による受動素子の形成は、基板上に塗布したペーストを焼結させるために高温処理が行われることから、耐熱性を有する基板が用いられなければならない、材料が制限されて比較的高価であるといった問題があった。

【0004】 一方、半導体装置においても、1 個の半導体チップに所定の機能を集約するいわゆるシステム大規模集積回路 (LSI: large-scale integrate circuit) 化が図られている。また、半導体装置においては、プロセス技術の進展によって、例えばロジック機能とメモリ機能或いはアナログ機能とデジタル機能等のように異なる機能が混載されたシステム LSI も提供されている。さらに、半導体装置においては、小型、薄型化の要求も大きく、例えば半導体をウェハ状態で裏面から機械的、化学的或いはその両方の方法によって研磨処理を施して薄型化を図ることも行われている。

【0005】 しかしながら、システム LSI は、複数のプロセスを経て各機能ブロックを混載する構造であるために、プロセス数が増加し、結果的に製造時間の増大や歩留りの低下等が生じてコストアップとなるといった問題があった。半導体装置においては、かかるシステム LSI の問題点を解決するために、例えばマルチ・チップ・モジュール (MCM: multi chip module) 化の対応も図られる。この MCM は、各プロセスの機能ブロックを個別の半導体チップとして製造し、これら半導体チップを同一の配線基板上に実装してシステム LSI と同様の機能を半導体モジュールで実現したものである。

#### 【0006】

【発明が解決しようとする課題】 配線回路装置においては、上述した問題点を解決するために、図 29 及び図 30 に示すようにフォトリソ法、スパッタリング法や蒸着法等の薄膜形成技術を用いた成膜素子内蔵型配線回路装置の検討が図られている。図 29 に示した配線回路装置 100 は、コア基板 101 の主面に絶縁層 102 が形成され、この絶縁層 102 上に配線パターン 103 とともに抵抗体 104 が成膜形成されている。抵抗体

104は、例えばニッケルクロム(Ni-Cr)や、窒化タンタル(TaN)或いはタンタル(Ta)等によって形成されている。なお、窒化タンタルは、温度係数(TCR)が100PPM/℃以下の小さな値であり、寿命特性の安定度で優れていることから好適に用いられる。

【0007】また、図30に示した配線回路装置105は、上述した配線回路装置100と同様に主面に絶縁層102が形成されたコア基板101が用いられ、絶縁層102上に形成された配線パターン103の相対する両端部103a、103b間にキャパシタ106が成膜形成されている。キャパシタ106は、詳細には下部配線パターン103a上に誘電体層107が成膜されるとともにこの誘電体層107上に上部配線パターン103bが積層形成されてなる。誘電体層107は、例えば酸化タンタル( $Ta_2O_5$ )や、窒化シリコン( $Si_3N_4$ )或いはチタン酸バリウム( $BaTiO$ )等によって形成されている。酸化タンタルは、スパッタリング法によって基板上に直接成膜形成することが可能であり、またタンタル層や窒化タンタル層を陽極酸化することによってその表面上に酸化物を成長させて所望の厚みの酸化タンタル膜を形成することが可能である。

【0008】配線回路装置においては、例えばコア基板に受動素子を形成する際に機能するように導電性を有するシリコン基板が用いられている。このため、配線回路装置においては、例えばマザー基板等を実装する場合に配線パターンに形成した多数のランドとマザー基板のランドとの間をワイヤボンディング法によって接続するために、受動素子形成層の表面に端子パターンが形成される。したがって、配線回路装置においては、端子パターン形成工程やワイヤボンディング工程が必要であった。

【0009】ところで、通信端末機器等においては、小型軽量で携帯が可能であることが必須となっており、送受信部においてアナログの高周波信号の変換処理を行う高周波モジュールが備えられる。図31に示した高周波モジュール110は、ベース基板部111上に、薄膜技術や厚膜技術によって層内に成膜受動素子を形成した高周波素子層部112を積層形成してなる。高周波素子層部112は、ベース基板部111の配線パターン113上に絶縁層114を介して第1配線層115が形成される。高周波素子層部112は、絶縁層114に形成したビア116を介してベース基板部111の配線パターン113と第1配線層115とが接続される。

【0010】高周波素子層部112には、第1配線層115に、上述したような抵抗体117やキャパシタ118が成膜形成されてなる。高周波素子層部112には、第1配線層115上に第2の絶縁層119が形成され、さらにこの第2の絶縁層119上にビア116を介して第2配線層120が積層形成されてなる。高周波素子層部112には、この第2配線層120にインダクタ12

1が形成されている。なお、インダクタ121については、利得の損失から、一般にスパッタリング法等による薄膜形成技術により形成されずに、例えばメッキ法等による厚膜形成技術によって形成される。

【0011】ところで、かかる高周波モジュール110においては、ベース基板部111上に高精度の抵抗体117やキャパシタ118がスパッタリング法等の薄膜形成技術によって形成されるために、ベース基板部111にスパッタリング時の表面温度の上昇に対する耐熱特性やリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性等が必要となる。ベース基板部111には、このために高精度の平坦性が要求されるとともに、絶縁性、耐熱性或いは耐薬品性等が要求される。

【0012】高周波モジュール110においては、ベース基板部111のコア基板に、かかる特性を有するSi基板やガラス基板が用いられて、LSIと別プロセスにより低コストで低損失な受動素子の成膜形成が可能とされるようになる。高周波モジュール110は、Si基板やガラス基板を用いることで、従来のセラミックモジュール技術で用いられる印刷によるパターン等の形成方法やプリント配線基板に配線パターンを形成する湿式エッチング法等と比較して、高精度の受動素子の形成が可能であるとともに、素子サイズをその面積が1/100程度まで縮小することが可能となった。高周波モジュール110は、Si基板やガラス基板を用いることで、成膜受動素子の使用限界周波数帯域を20GHzまで高めることも可能となった。

【0013】しかしながら、高周波モジュール110においては、例えばマザー基板等を実装するために上述したように高周波素子層部112にランドの形成やワイヤボンディング法等による接続工程が必要となる。高周波モジュール110は、高周波信号系の配線パターンが構成された高周波素子層部112に対して、ベース基板部111側から電源やグランドの供給配線或いは制御系信号配線が行われる。高周波送受信モジュール110においては、このためにベース基板部111と高周波素子層部112との間に電磁的干渉が生じるとともに、配線層を多層に形成することによるコストアップになるといった問題も生じる。

【0014】高周波モジュールについては、上述したシリコン基板やガラス基板に起因する問題点を解決するために従来の配線基板装置に一般的に用いられている比較的廉価で多層化が可能な有機配線基板の適用が検討される。かかる高周波モジュールは、有機配線基板を用いることによって、ベース基板部に電源やグランドの配線部や制御系の配線部を構成するとともに高周波素子層部に高周波信号回路部を構成することで、両者の電磁的分離が図られ電磁干渉の発生が抑制されて特性の向上が図られるようになる。高周波モジュールは、ベース基板部に



十分な面積を有する電源やグラウンドの配線を形成することが可能となることから、レギュレーションの高い電源供給が行われる。

【0015】しかしながら、高周波モジュールは、多層配線基板をベース基板としてその上部に高周波素子層部を形成する場合に、ベース基板が上述したシリコン基板やガラス基板の特性を十分に有していないことから高精度の成膜受動素子を形成し得ないといった問題がある。また、高周波モジュールは、多層配線基板がそれ自体に反りが有るために、パターニング工程を順次行う際に各層の配線パターン等の位置合わせ精度が低下して高精度に製作されないといった問題がある。さらに、高周波モジュールは、多層配線基板がその表面が比較的粗いとともにこれに形成した配線パターンにより大きな凹凸も有るために、平坦性を要求される高精度の成膜受動素子の形成が困難であるといった問題があった。高周波モジュールは、多層配線基板の耐熱性が小さいために、スパッタリング工程を施すことが困難であるといった問題があった。

【0016】一方、図32に示す半導体装置130においても、配線基板131として有機基板やセラミック基板が用いられ、その表裏主面に絶縁層132、133を介して配線層134、135がそれぞれパターン形成される。半導体装置130は、配線層134、135に図示しないが適宜の配線パターンや必要に応じて成膜素子等が形成されるとともに、一方主面上に半導体チップ136がフェースダウン実装される。半導体装置130は、表裏の配線層134、135間の接続が配線基板131に形成したスルーホール137を介して行われる。半導体装置130には、配線層134、135を被覆してソルダレジスト層138、139が形成されるとともにビア140、141を介して接続端子142や外部接続電極143が形成されている。

【0017】ところで、半導体装置130においては、これらの配線基板131の主面に形成される配線バスのピッチが製造条件から最小でも約100 $\mu$ m程度であることから、各半導体チップ136間で多数の接続が行われる場合に大きな面積或いは配線層が多層化された配線基板131が必要となる。また、半導体装置130においては、配線基板131の表裏主面に半導体チップ136を実装する場合に、スルーホール137を介して各半導体チップ136或いは配線パターン間の接続が行われる。半導体装置130においては、加工条件等からスルーホール137やランドがその孔径を最小でも約50 $\mu$ m、ランド径が最小でも約50 $\mu$ mより大きくなるために、大きな面積を有する配線基板131が必要となる。

【0018】半導体装置130は、上述した配線基板131に起因する問題点から、各半導体チップ136間を接続する配線バスが長くなるとともに多層化に伴って配線バスに多数個のビアホール140、141が介在す

る。このため、半導体装置130は、配線バスのL・C・R成分が大きくなってシステムLSIと比較して性能が劣化するといった問題があった。

【0019】また、半導体装置130においては、上述したようにマザー基板等を実装するために配線基板131の裏面に接続用の外部接続電極143が形成され、この裏面に対して半導体チップや他の電子部品等を実装することができなかった。半導体装置130においては、このために半導体チップ136の周辺回路の取り込みや配線基板131に対する高密度の実装が困難となるといった問題があった。

【0020】一方、半導体装置130においては、薄型化を図るためにウェハ状態で研磨された半導体チップ136を配線基板131に実装する方法も採用されている。しかしながら、薄型化された半導体チップ136は、機械的強度が劣化しているために研磨後の取り扱いが難しく、例えば次工程への搬送等の取扱時に割れが生じたり、個片化するためのダイシング加工時に欠けが発生する等の問題があった。また、薄型化された半導体チップ136は、配線基板131に実装する際にもチップ欠けや割れが発生し易いといった問題があった。

【0021】半導体装置130においては、上述したように平坦性や耐熱性に優れるシリコン基板やガラス基板を用いることにより配線層内の信頼性の向上が図られるが、表裏面間の導通構造を形成することが困難であるために半導体チップを表裏面に実装して高密度化を図ることが難しい。また、半導体装置130においては、各配線層内の配線密度の差異等によって配線基板131に反りが生じやすくなる。半導体装置130は、特に有機基板からなる配線基板131を用いた場合に、半導体チップ136の実装工程で負荷される熱によって配線基板131の反りの発生がさらに大きくなり、例えばマザー基板に実装する際に半田不良が生じて信頼性が劣化するといった問題があった。

【0022】したがって、本発明は、平坦性がよく反りの小さい等の特性を有するシリコン基板やガラス基板に着目し、これを母基板として薄膜技術や厚膜技術によって絶縁層を介して成膜素子内蔵配線層を形成した後に剝離工程を経ることにより高精度、高機能、高信頼性で薄型化されて、パッケージの小型化、低価格を図る回路ブロック体及びその製造方法、この回路ブロック体を備える配線回路装置及びその製造方法並びに回路ブロック体を備える半導体装置及びその製造方法を提供することを目的に提案されたものである。

【0023】

【課題を解決するための手段】 上述した目的を達成する本発明にかかる回路ブロック体は、絶縁層と、この絶縁層にパターニング形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる薄厚のシート状に形成されてなり、母基板の平坦化された主面に形

成された剥離層上に形成されるとともに、この剥離層を介して母基板から剥離されて形成されてなる。

【0024】以上のように構成された本発明にかかる回路ブロック体によれば、高精度の平坦特性、耐熱特性やリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり絶縁性や耐薬品性を有する母基板上で製作されることで、基板の反りや表面の凹凸に影響されることなく微細な配線パスを有して高精度の成膜素子を内蔵したり半導体チップや電子部品等の高密度実装を可能とする高精度で信頼性の高い配線部が形成される。したがって、回路ブロック体によれば、ベース基板等に接合することによって、信頼性の高い配線回路装置を構成する。

【0025】また、上述した目的を達成する本発明にかかる回路ブロック体の製造方法は、平坦化された主面を有する母基板の上記主面上に剥離層を形成する剥離層形成工程と、剥離層上に絶縁層を形成する絶縁層形成工程と、絶縁層に多数個の外部接続ランドを有する配線部をパターンニング形成する配線部形成工程と、剥離層を介して母基板から絶縁層と配線部とからなる薄厚の回路ブロック体を剥離する剥離工程とを有してなる。

【0026】以上の工程を有する本発明にかかる回路ブロック体の製造方法によれば、高精度の平坦特性、耐熱特性やリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で回路ブロック体を製作することで、基板の反りや表面の凹凸に影響されることなく微細な配線パスを有して高精度の成膜素子を内蔵したり半導体チップや電子部品等の高密度実装を可能とする高精度で信頼性の高い配線部を有する回路ブロック体を効率的に製作する。

【0027】さらに、上述した目的を達成する本発明にかかる配線回路装置は、回路ブロック体と、主面上に回路ブロック体の各外部接続ランドに対応して多数個の接続ランドが形成されたベース基板とを備えてなる。配線回路装置は、絶縁層と、この絶縁層にパターンニング形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる薄厚のシート状に形成されてなり、母基板の平坦化された主面に形成された剥離層上に形成されるとともに、この剥離層を介して母基板から剥離されて形成される。配線回路装置は、回路ブロック体が、各接続ランドを相対する外部接続ランドとそれぞれ接続されてベース基板の主面上に接合されて実装されてなる。

【0028】以上のように構成された本発明にかかる配線回路装置によれば、高精度の平坦特性や耐熱特性或いはリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で製作されることでベース基板の反りや表面の凹凸に影響されず微細な配線パスを有して

高精度の成膜素子を内蔵したり半導体チップや電子部品等の高密度実装を可能とする高精度で信頼性の高い配線部が形成された回路ブロック体を備える。したがって、配線回路装置によれば、配線部とベース基板側の回路部とが電気的、電磁的に分離されて相互の干渉の発生が抑制されることで特性の向上が図られるとともに、ベース基板側に十分な面積を有する電源やグランド等の配線を形成することが可能とされることからレギュレーションの高い電源供給が行われるようになる。

10 【0029】さらにまた、上述した目的を達成する本発明にかかる配線回路装置の製造方法は、母基板を介して回路ブロック体を形成する回路ブロック体形成工程と、回路ブロック体をベース基板の主面上に接合して実装する回路ブロック体接合工程とを有して、配線回路装置を製作する。回路ブロック体形成工程は、母基板の平坦化された主面上に剥離層を形成する剥離層形成工程と、剥離層上に絶縁層を形成する絶縁層形成工程と、絶縁層に多数個の外部接続ランドを有する配線部をパターンニング形成する配線部形成工程と、剥離層を介して母基板から絶縁層と配線部とからなる回路ブロック体を剥離する剥離工程とを経て薄厚の回路ブロック体を形成する。

【0030】以上の工程を有する本発明にかかる配線回路装置の製造方法によれば、高精度の平坦特性や耐熱特性或いはリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で回路ブロック体を製作し、この回路ブロック体をベース基板に接合して配線回路装置を製作することで、ベース基板の反りや表面の凹凸に影響されず微細な配線パスを有して高精度の成膜素子を内蔵したり半導体チップや電子部品等の高密度実装を可能とする高精度で信頼性の高い配線部を有する配線回路装置が効率的に製作される。配線回路装置の製造方法によれば、配線部とベース基板側の回路部とが電気的、電磁的に分離されて相互の干渉の発生が抑制されて特性の向上が図られるとともにベース基板側に十分な面積を有する電源やグランドの配線を形成することが可能であることからレギュレーションの高い電源供給が行われる配線回路装置が製作される。

【0031】また、上述した目的を達成する本発明にかかる半導体装置は、薄厚のシート状に形成された回路ブロック体と、この回路ブロック体の配線部上に実装された半導体チップ及びこの半導体チップを封止する封止樹脂層と、主面上に回路ブロック体の各外部接続ランドに対応して多数個の接続ランドが形成されたベース基板とを備えてなる。回路ブロック体は、絶縁層と、この絶縁層にパターンニング形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる。

【0032】以上のように構成された本発明にかかる半導体装置によれば、高精度の平坦特性や耐熱特性或いはリソグラフィ時の焦点深度の保持、マスキング時のコン

タクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で製作され、ベース基板の反りや表面の凹凸に影響されず微細な配線パスを有する回路ブロック体を備えることで、半導体チップが高精度にかつ高密度に実装化される。半導体装置によれば、半導体チップを実装した配線部とベース基板側の回路部とが電気的、電磁的に分離されて相互の干渉の発生が抑制されて特性の向上が図られるとともに、ベース基板側に十分な面積を有する電源やグラウンドの配線を形成することが可能であることからレギュレーションの高い電源供給が行われるようになる。半導体装置によれば、半導体チップや封止樹脂を研磨して薄型化が図られるとともに、半導体チップの欠けや割れ等の発生も低減されるようになる。

【0033】さらに、上述した目的を達成する本発明にかかる半導体装置の製造方法は、母基板上で厚手の回路ブロック体を形成する回路ブロック体形成工程と、回路ブロック体に半導体チップを実装する半導体実装工程と、半導体チップを封止する封止樹脂層を回路ブロック体の配線部上に形成する封止樹脂形成工程と、剥離層を介して母基板から上半導体チップを実装した回路ブロック体を剥離する剥離工程と、回路ブロック体をベース基板の主面上に接合して実装する回路ブロック体接合工程とを有してなる。回路ブロック体形成工程は、平坦化された主面を有する母基板の主面上に剥離層を形成する剥離層形成工程と、剥離層上に絶縁層を形成する絶縁層形成工程と、絶縁層に多数個の外部接続ランドを有する配線部をパターンニング形成する配線部形成工程とからなる。

【0034】以上の工程を有する本発明にかかる半導体装置の製造方法によれば、高精度の平坦特性や耐熱特性或いはリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で回路ブロック体を製作し、この回路ブロック体をベース基板に接合して半導体装置を製作することで、ベース基板の反りや表面の凹凸に影響されない微細な配線パスが形成されて半導体チップの高精度な高密度実装を可能とする信頼性の高い半導体装置が効率的に製作される。半導体装置の製造方法によれば、配線部や半導体チップとベース基板側の回路部とが電気的、電磁的に分離されて相互の干渉の発生が抑制されて特性の向上が図られるとともにベース基板側に十分な面積を有する電源やグラウンドの配線を形成することが可能であることからレギュレーションの高い電源供給が行われる半導体装置が製作される。半導体装置の製造方法によれば、半導体チップや封止樹脂を研磨して薄型化が図られるとともに、半導体チップの欠けや割れ等の発生も低減されるようになる。

【0035】

【発明の実施の形態】以下、本発明の実施の形態につい

て、図面を参照して詳細に説明する。実施の形態として示す回路ブロック体2は、携帯通信端末機器等に備えられて送受信部においてスーパーヘテロダイン方式やダイレクトコンバージョン方式によってアナログの高周波信号の変換処理を行う高周波モジュール4に実装される。回路ブロック体2は、図1に示した工程図のように母基板1上において製作された後に剥離工程を経て母基板1から分離され、多層配線基板からなるベース基板3に接合されて高周波モジュール4を構成する。高周波モジュール4は、ベース基板3側が、上層の回路ブロック体2に対する電源系の配線、制御系の配線あるいはグラウンド面を構成する。

【0036】高周波モジュール4の製造工程においては、図2に示した母基板1が製造工程に供給される。母基板1には、絶縁性、耐熱性或いは耐薬品性を有し、高精度の平坦面の形成が可能であり剛性が高いSi基板やガラス基板が用いられ、詳細を後述する各工程を経てその主面上に回路ブロック体2が製作される。製造工程においては、かかる母基板1を用いることで、スパッタリング時の表面温度の上昇に対する耐熱特性やリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性の向上が図られるようになる。したがって、製造工程においては、従来の印刷法や湿式エッチング法等と比較して、サイズが面積で1/100程度まで縮小され、使用限界周波数帯域も20GHzまで高められる高精度の回路ブロック体2の製作を可能とする。

【0037】製造工程は、上述したように母基板1の基材5がSi基板やガラス基板からなり、高精度の平坦面に形成されたこの基材5の主面上に剥離層6を成膜形成する剥離層形成工程(s-1)を第1工程とする。剥離層6は、適宜の成膜技術によって成膜形成された銅層やアルミニウム層等の金属層からなり、図2に示すように基材5の主面上にスパッタ法によって厚みが1000Å程度となるように均一な厚みを以って全面に亘って成膜形成するとともに、この金属層の表面にスピンコート法によって厚みが1乃至2μm程度の樹脂層、例えばポリイミド樹脂層を成膜形成してなる。母基板1は、後述するように複数層の積層体からなる回路ブロック体2をその主面上に形成するが、剥離層6が、後述する剥離工程において回路ブロック体2を剥離する作用を奏する。

【0038】製造工程は、母基板1の剥離層6上に第1の絶縁層7を成膜形成する第1の絶縁層形成工程(s-2)を第2工程とする。第1の絶縁層7は、低誘電率で低いTanδ、すなわち高周波特性に優れかつ耐熱性や耐薬品性に優れた絶縁性誘電材によって形成される。絶縁性誘電材には、例えばポリイミド、ベンゾシクロブテン(BCB)、ポリノルボルネン(PNB)、液晶ポリマ(LCP)或いはエポキシ樹脂やアクリル系樹脂が用いられる。第1の絶縁層7は、図3に示すように剥離層6上に適宜の成膜技術によって所定のパターンを以って

形成される。第1の絶縁層7は、感光性の絶縁性誘電材を用いた場合には、フォトリソグラフ法により剥離層6上に直接パターン形成される。第1の絶縁層7は、非感光性の絶縁性誘電材を用いた場合には、例えばフォトリソグラフ法とドライエッチング法により剥離層6上にパターン形成される。

【0039】製造工程は、例えば母基板1にメッキ処理を施して上述したようにパターン形成された第1の絶縁層7の開口部に対応して剥離層6上に金属メッキ層からなる第1の配線層8を成膜形成する第1の配線層形成工程(s-3)を第3工程とする。製造工程は、剥離層6を電圧印加電極として例えば銅メッキ処理を施すことによって第1の絶縁層7の開口部に対応した剥離層6の露出部位に銅をメッキして、図4に示すように第1の絶縁層7とほぼ同一の厚みとなるように制御された第1の配線層8を形成する。

【0040】第1の配線層8と第1の絶縁層7とは、剥離層6との境界面が後述するように回路ブロック体2を母基板1から剥離する際の剥離面を構成する。第1の配線層形成工程は、第1の配線層8を銅メッキによる厚膜形成技術によって形成することで、この剥離面を高精度の平坦面に形成することを可能として後述するようにベース基板3に対して接合する際に安定した接合が行われるようにする。また、第1の配線層8は、回路ブロック体2におけるグランドや電源部として構成されることから十分な厚みを有することが好ましく、メッキによる厚膜形成技術により好適に形成される。

【0041】第1の配線層8は、銅メッキによって剥離層6上に直接成膜形成するようにしたが、例えば剥離層6上に形成された金-ニッケルによる下地層上に形成するようにしてもよい。第1の配線層8は、この下地層が、後述するようにベース基板3等に形成されたランド等と半田バンプ等を介しての接続端子部として有効に作用する。

【0042】第1の配線層8と第1の絶縁層7については、例えば剥離層6上にメッキやスパッタ法等により、例えば金-ニッケル-銅の金属層を形成し、この金属層にエッチング処理を施して配線パターンを形成するとともに絶縁層を形成するようにしてもよい。また、第1の配線層8と第1の絶縁層7については、例えば剥離層6上にメッキレジスト層を形成し、メッキによって所定の配線パターンを形成するアディティブ法等によって形成するようにしてもよい。

【0043】製造工程は、第1の絶縁層7と第1の配線層8との上層に、第2の絶縁層9を全面に亘って形成する第2の絶縁層形成工程(s-4)を第4工程とする。第2の絶縁層9は、上述した第1の絶縁層7と同一の絶縁性誘電材によって形成される。第2の絶縁層形成工程においては、第1の配線層8の所定部位を露呈させる複数のビア10の形成も行われる。各ビア10は、感光性

の絶縁性誘電材の場合には所定のパターンを形成したマスクを第2の絶縁層9の表面に取り付けてフォトリソグラフ法によって直接形成する。各ビア10は、例えば第2の絶縁層9に対してレーザ照射を行ってホールを形成する等の適宜の方法によって形成するようにしてもよい。

【0044】製造工程は、第2の絶縁層9上に適宜の配線パターンを以って第2の配線層11を形成する第2の配線層形成工程(s-5)を第5工程とする。第2の配線層11は、上述した銅メッキによる厚膜形成技術やスパッタリング法等による薄膜形成技術によって形成され、図5に示すように各ビア10を介して第1の配線層8との接続が図られてなる。第2の配線層11は、平坦性が保持された母基板1の主面上に形成された上述した各層上に積層形成される。したがって、第2の配線層形成工程は、従来のように有機基板を基材として多層の配線層が積層形成される多層プリント配線基板と比較して、極めて高精度の第2の配線層11を形成する。

【0045】製造工程は、第2の配線層11に、図6に示すように薄膜抵抗体12や薄膜キャパシタ13等の薄膜素子を形成する薄膜素子形成工程(s-6)を第6工程とする。なお、薄膜素子形成工程においては、後述するようなインダクタも第2の配線層11に形成するようにしてもよいことは勿論である。薄膜抵抗体12は、上述したように第2の配線層11に形成した抵抗体形成部位間にニッケルクロムや窒化タンタル或いはタンタル等の抵抗体形成材料を、フォトリソグラフ法、スパッタリング法、蒸着法等の薄膜形成技術によって成膜して形成される。薄膜抵抗体12の形成方法は、例えば形成部位に対応する第2の絶縁層9上にリフトオフ法によって窒化タンタル層を形成する工程と、この窒化タンタル層上にレジスト処理を施した後に窒化タンタルをスパッタリングする工程と、レジスト層部分の窒化タンタルを除去する工程とを経て形成される。

【0046】薄膜キャパシタ13の形成方法は、第2の配線層11上にキャパシタ形成部位を除く全面にレジストをコーティングする工程と、ホウ酸アンモニウム等の電解液中で窒化タンタルが陽極となるように電界をかける陽極酸化工程と、上部電極形成工程とを経て形成される。陽極酸化工程は、窒化タンタルに100V、30分程度の電界を印加する陽極酸化処理を施す工程であり、窒化タンタル層が酸化してタンタルオキサイト層が形成される。第2の配線層11には、必要な配線パターンだけを残すようにフォトリソグラフ処理によってレジストのパターンニングが行われるとともに、タンタルオキサイト層にレジストを取り去った後にマスクングが施されて、例えばリフトオフ法によってニッケル層と銅層とからなる上部電極が形成される。

【0047】製造工程においては、上述したように高精度の平坦面と耐熱特性或いはリソグラフィ時の焦点深度

の保持、マスクング時のコンタクトアライメント特性が良好であり、絶縁性及耐薬品性を有する母基板 1 を用いることで、スパッタリング時の熱やエッチングの薬品等に影響されることなく、第 2 の配線層 11 に高精度の薄膜抵抗体 12 や薄膜キャパシタ 13 が形成される。

【0048】製造工程は、第 2 の配線層 11 及び薄膜抵抗体 12 や薄膜キャパシタ 13 を被覆する第 3 の絶縁層 14 を形成する第 3 の絶縁層形成工程 (s-7) を第 7 工程とする。この第 3 の絶縁層 14 も、上述した第 1 の絶縁層 7 や第 2 の絶縁層 9 と同一の絶縁性誘電材によって形成される。第 3 の絶縁層形成工程においても、図 7 に示すよう第 2 の配線層 11 の所定部位や薄膜キャパシタ 13 の上部電極を露呈させる複数のビア 15 の形成も行われる。各ビア 15 も、上述した第 2 の絶縁層 9 に形成されるビア 10 と同様に、所定のパターンを形成したマスクを第 3 の絶縁層 14 の表面に取り付けてフォトリソグラフィ法によって形成される。

【0049】製造工程は、第 3 の絶縁層 14 上に第 3 の配線層 16 を形成する第 3 の配線層形成工程 (s-8) を第 8 工程とする。第 3 の配線層 16 は、例えばスパッタリング法等の薄膜形成技術により銅配線パターンを形成する方法や、銅メッキ等による厚膜形成技術によって形成される。第 3 の配線層の形成工程は、スパッタリング法等によって第 2 の絶縁層 9 上にニッケル及び銅とからなるスパッタ層を成膜形成した後に、このスパッタ層に対してフォトリソグラフィ処理によって所定のパターニングを行う工程を有する。第 3 の配線層の形成工程は、このスパッタ層に対して電界メッキにより数  $\mu\text{m}$  程度の厚みを有する銅メッキを選択的に行った後に、メッキ用レジストを除去しさらにスパッタ層を全面的にエッチングすることによって図 8 に示すように第 3 の配線層 16 を形成する。

【0050】第 3 の配線層 16 は、ビア 15 の内壁に形成されたスパッタ層を介して、第 2 の配線層 11 や薄膜キャパシタ 13 との電気的導通が図られる。第 3 の配線層 16 には、その一部にスパイラル型のインダクタ 17 が形成される。インダクタ 17 は、直列抵抗値が問題となるが、上述したように第 3 の配線層 16 がスパッタ層に対して電解メッキを施して所定の厚みを以って形成されることで損失の低下が抑制される。なお、第 3 の配線層 16 にも、例えば上述した薄膜抵抗体 12 や薄膜キャパシタ 13 を必要に応じて形成してもよいことは勿論である。

【0051】製造工程においては、上述した第 3 の配線層 16 を最上層として母基板 1 に積層構造の回路ブロック体 2 が形成される。なお、製造工程においては、必要に応じて第 3 の配線層 16 上にさらに多層の絶縁層や配線層を形成するようにしてもよいことは勿論である。製造工程は、母基板 1 と回路ブロック体 2 との積層体を酸

ロック体 2 を母基板 1 から剥離する回路ブロック体-母基板剥離工程 (s-9) を第 9 工程とする。回路ブロック体 2 は、上述したように剥離層 6 が銅材により形成されており、塩酸溶液に浸漬することによって図 9 に示すように剥離層 6 の上面を界面として母基板 1 からきれいに剥離する。回路ブロック体 2 は、第 1 の絶縁層 7 及び第 1 の配線層 8 とから構成される露呈面が剥離面 H を構成する。

【0052】回路ブロック体 2 は、剥離層 6 が銅材により形成されており例えば硝酸溶液に浸漬した場合に、剥離層 6 の表面がわずかに溶解することによって母基板 1 から剥離する。なお、回路ブロック体 2 は、この場合第 1 の配線層 8 の剥離面 H も硝酸溶液によってその表面が侵されることから、剥離層 6 との間に予め保護層を形成するようにしてもよい。

【0053】回路ブロック体 2 は、剥離層 6 が Cu 層-ポリイミド層によって構成されている場合に、塩酸溶液に浸漬されることによってこの Cu 層とポリイミド層との界面から剥離が行われる。回路ブロック体 2 は、例えば酸素プラズマによるドライエッチング法が施されることにより、第 1 の絶縁層 7 及び第 1 の配線層 8 側に残ったポリイミド層の除去が行われる。

【0054】以上の工程を有する回路ブロック体 2 の製造工程によれば、高平坦性を有し機械的強度が大きな母基板 1 を用いてその主面上に多層の回路ブロック体 2 を形成することから、各層及び各配線層内に形成される薄膜受動素子 12、13 等が極めて高精度に形成される。回路ブロック体 2 の製造工程によれば、従来の半導体プロセスに用いられる装置を用いて、高精度のエッチングレジスト層、メッキレジスト層や絶縁層の形成或いはレジストの塗布処理、露光処理や現像処理等の各処理が可能とされることで、各配線層に幅寸法が  $1\mu\text{m}$  以下の配線パターンが形成される。

【0055】回路ブロック体 2 の製造工程によれば、例えばプリント配線基板のような有機基板上やセラミック基板等上に上述した各工程を経て形成した場合に生じる基板の反りや収縮或いはうねりや凹凸がほとんど無いことから、各層や薄膜受動素子或いは配線パターンの精度劣化が抑制されて高精度に形成される。回路ブロック体 2 の製造工程によれば、各絶縁層等の形成に高温処理を要する場合に有機基板で問題となる耐熱性の影響も無く、またスパッタ層の成膜に際しての真空状態時のデガスの問題或いはゴミの問題等についてもその低減が図られる。

【0056】回路ブロック体 2 の製造工程によれば、各配線層に形成される配線パターンの密度が異にされている場合においても、機械的強度を有する母基板 1 上で回路ブロック体 2 の製作が行われることで反りやうねり或いは凹凸等の発生が抑制される。したがって、回路ブロック体 2 の製造工程によれば、各配線層が高精度に形

成されて信頼性の高い回路ブロック体 2 が製造される。回路ブロック体 2 は、反りやうねり或いは凹凸がほとんど無いことから、ベース基板等を実装する場合において半田付け不良等の発生が抑制される。

【0057】製造工程は、母基板 1 から剥離された回路ブロック体 2 がベース基板 3 に接合されるとともに、後述するように部品の実装工程等が施されることによって高周波モジュール 4 の製造が行われる。製造工程においては、多層化された有機基板やセラミック基板がベース基板 3 として用いられる。ベース基板 3 は、図 10 に示すようにコア基板 3a に対してその表面側と裏面側都に多層の配線層 3b、3c が形成されてなり、各層間或いは上下配線層 3b、3c が多数の層間ビア 20 により適宜接続されてなる。ベース基板 3 には、上部配線層 3b の表面上に配線パターン 19a が形成されるとともに、下部配線層 3c に端子ランド 19b が形成されている。

【0058】ベース基板 3 は、アルミナ、ガラスセラミックアルミナイトライド或いはムライトを基材とするセラミック多層基板が用いられる。ベース基板 3 は、ガラスエポキシ、ポリイミド、ビスマレイトトリアジン樹脂、ポリフェニールエチレン樹脂、フェノール樹脂、ポリオレフィン樹脂或いはポリテトラフルオロエチレンを基材とする有機多層基板が用いられる。ベース基板 3 は、少なくとも一方の主面に、感光性若しくは非感光性のエポキシ樹脂、ポリイミド或いはベンゾシクロブテンの誘電樹脂材層と金属メッキ層とによって高密度配線層が形成されたビルドアップ基板が用いられる。

【0059】ベース基板 3 には、上部配線層 3b の配線パターン 19a 上に複数のポストバンプ 21 を適宜形成するポストバンプ形成工程 (s-10) が施される。ポストバンプ形成工程は、電解メッキ法や無電解メッキ法によって銅バンプからなるポストバンプ 21 を形成する工程である。ポストバンプ形成工程は、後述するアンダーフィル 22 の厚みとほぼ等しい厚み、例えば  $20\mu\text{m}$  ~  $100\mu\text{m}$  の厚みを有するポストバンプ 21 を形成する。ポストバンプ形成工程においては、ポストバンプ 21 の表面にニッケル-金メッキを施して金メッキ層を形成するようにしてもよく、また表面に半田メッキを施すようにしてもよい。

【0060】製造工程は、ポストバンプ 21 が形成されたベース基板 3 上に回路ブロック体 2 を接合する回路ブロック体-ベース基板接合工程 (s-11) を第 10 工程とする。接合工程においては、図 11 に示すように回路ブロック体 2 が、第 1 の絶縁層 7 と第 1 の配線層 8 とから構成される剥離面 H を接合面として接合が行われる。回路ブロック体 2 は、第 1 の配線層 8 にパターン形成されたランドが、相対するポストバンプ 21 と互いに接続されて図 12 に示すようにベース基板 3 に接合されて接合体を構成する。

【0061】接合工程においては、例えばポストバンプ

21 の表面に半田メッキを施したり半田バンプを設けた場合には、第 1 の配線層 8 のランドに対して半田法による接続が可能となる。接合工程においては、第 1 の配線層 8 に金属が形成されている場合には、表面酸化が抑制されることで半田の流れが良くなって銅層と比較して良好な半田接続が行われる。

【0062】接合工程においては、例えばポストバンプ 21 の表面と第 1 の配線層 8 のランドの表面とにそれぞれ金属が形成されている場合には、例えば金-金による熱圧接法や超音波接合法によってこれらの間の接続が行われる。回路ブロック体 2 とベース基板 3 とは、その他の適宜の方法によってポストバンプ 21 と第 1 の配線層 8 のランドとが接続されて接合されることは勿論である。

【0063】製造工程は、回路ブロック体 2 とベース基板 3 との間に介在するポストバンプ 21 によって構成された間隙にアンダーフィル 22 を充填してこれを埋設するアンダーフィル充填工程 (s-12) を第 11 工程とする。アンダーフィル 22 には、例えば半導体チップのフリップチップ実装工程において一般的に用いられるアンダーフィル材及び充填方法が用いられる。アンダーフィル 22 は、ポストバンプ 21 の厚みよりも小径粒子のものが用いられることにより、図 13 に示すように回路ブロック体 2 の接合面 H とベース基板 3 の主面との間に均一に充填される。製造工程は、上述した工程を経て高周波モジュール 4 を製造するが、例えば回路ブロック体 2 の第 3 の配線層 16 上に高周波 IC やチップ部品等を実装する部品実装工程 (s-13) や、マザー基板上に実装するモジュール化工程 (s-14) 或いは回路ブロック体 2 を遮蔽するシールドカバーの取付工程等が施される。

【0064】製造工程においては、上述した工程を経て高精度に製作された回路ブロック体 2 を有機基板やセラミック基板等からなる多層基板からなるベース基板 3 上に実装して高周波モジュール 4 を製造する。製造工程においては、回路ブロック体 2 の製作工程においてベース基板 3 が関与しないことから、従来の多層基板の製造プロセスを利用して製作されたベース基板 3 を用いることが可能となる。製造工程においては、高周波モジュール 4 を、材料等に制限が無く高精度でかつ高機能化を図ってより廉価でかつ効率的に製造する。

【0065】上述した実施の形態においては、回路ブロック体 2 とベース基板 3 とを、第 1 の配線層 8 のランドとポストバンプ 21 との接合とアンダーフィル 22 の充填とによって接合するようにしたが、かかる接合形態に限定されるものではない。回路ブロック体 2 とベース基板 3 とは、図 14 乃至図 17 に示すようにベース基板 3 の主面上に設けられた接着剤層 23 を介して一体的に接合されるとともに電気的接続が行われて接合される。接着剤層 23 には、例えばエポキシ系樹脂接着剤やアクリ

ル系樹脂接着剤、好ましくは熱硬化型の樹脂接着剤が用いられる。接着剤層 23 は、図 14 に示すようにポストパンプ 21 が形成されたベース基板 3 の主面上に均一な厚みによって形成される。なお、接着剤層 23 は、例えば上述した樹脂接着剤と同一素材の均一な厚みを有する板状体からなり、これをベース基板 3 の主面上に接合することによって形成するようにしてもよい。

【0066】製造工程においては、図 15 に示すように接着剤層 23 が設けられたベース基板 3 に対して、第 1 の絶縁層 7 と第 1 の配線層 8 とから構成される剥離面 H を接合面として回路ブロック体 2 の接合が行われる。回路ブロック体 2 とベース基板 3 とは、適宜の位置決め治具等を用いて第 1 の配線層 8 のランドが相対するポストパンプ 21 と互に対応位置されるようにする。製造工程においては、図 16 矢印で示すようにベース基板 3 に対して回路ブロック体 2 を加熱状態で加圧する熱圧着工程が施される。接着剤層 23 には、回路ブロック体 2 が加圧されるにしたがって同図に示すように各ポストパンプ 21 がその内部に進入する。

【0067】製造工程においては、回路ブロック体 2 がさらに加圧されると各ポストパンプ 21 が接着剤層 23 を突き抜けて相対する第 1 の配線層 8 の各ランドに突き当たり、図 17 に示すように各ポストパンプ 21 を介してベース基板 3 のランドと回路ブロック体 2 の第 1 の配線層 8 のランドとの電気的接続を行う。製造工程においては、接着剤層 23 によって回路ブロック体 2 とベース基板 3 とが一体的に接合されて高周波モジュール 24 を構成する。

【0068】したがって、製造工程においては、回路ブロック体 2 とベース基板 3 との接合と両者の電気的接続が同時に行われるとともに、アンダーフィル 22 及びその充填工程を不要とする。なお、製造工程においては、例えば相対接合した第 1 の配線層 8 の各ランドとポストパンプ 21 との間に超音波接合法を施すことによってより確実な接続が行われるようにしてもよい。また、製造工程においては、第 1 の配線層 8 の各ランドとポストパンプ 21 の接合面がそれぞれ金属とすることにより、より確実かつ容易に接合が行われるようになる。

【0069】上述した実施の形態においては、母基板 1 の主面上に剥離層 6 を介して 1 個の回路ブロック体 2 を形成したが、図 18 及び図 19 に示すように多数個の回路ブロック体 30a 乃至 30n を一体に連設してなる回路ブロック集合体 30 を母基板 1 上に形成するようにしてもよい。回路ブロック集合体 30 は、詳細な説明を省略するが、各回路ブロック体 30 が連設部を介して相互に連結されており、上述した 1 個の回路ブロック体 2 の製造工程と同一工程によって母基板 1 の主面上に一括して形成される。

【0070】回路ブロック集合体 30 は、図示しないダイシング装置の台上にセッティングされ、図 18 に示す

ようにカッタ 31a、31b によって 1 個ずつの回路ブロック体 30a 乃至 30n にカッティングされる。このカッティング工程は、従来の半導体チップの製造工程と同様に行われ、回路ブロック集合体 30 から各回路ブロック体 30a 乃至 30n を高精度にカッティングする。各回路ブロック体 30a 乃至 30n は、このカッティング工程により相互に切り分けられているが、なお母基板 1 上に積層形成された状態に保持されている。

【0071】製造工程においては、回路ブロック集合体 30 を形成した母基板 1 に対して上述した剥離工程を施すことによって、図 19 に示すように母基板 1 の剥離層 6 を介して各回路ブロック体 30a 乃至 30n が 1 個ずつ独立して剥離される。製造工程においては、各回路ブロック体 30a 乃至 30n がそれぞれベース基板 3 との接合工程に供給される。

【0072】ところで、製造工程においては、回路ブロック集合体 30 に対してカッティング工程が施されることによって、図 19 に示すように母基板 1 を構成する基材 5 の主面にカッタ 31 による切断痕 32 が発生する。したがって、製造工程においては、この切断痕 32 により平坦性が損なわれることから母基板 1 を次の回路ブロック集合体 30 を製作するために再使用することが不能となる。製造工程においては、このために母基板 1 を廃棄したり、主面を再研磨処理した後に剥離層 6 の再成膜処理が施される。

【0073】このため、製造工程においては、図 20 に示すように基材 5 と剥離層 6 との間にダミー層 35 を設けた母基板 1 も用いられる。ダミー層 35 は、機械的剛性を有する適宜の合成樹脂材によって基材 5 の主面上に高精度の平坦性を以って形成される。ダミー層 35 は、回路ブロック集合体 30 のカッティングに際して、カッタ 31 の先端部が基材 5 に達しない厚みを以って形成されてなる。

【0074】したがって、製造工程においては、ダイシング装置においてカッタ 31 の動作が制御されて図 20 (a) に示すように先端部がダミー層 35 の内部で停止されて回路ブロック集合体 30 のカッティングが行われるようにする。製造工程においては、同図 (b) に示すように剥離工程が施されることによって、切り分けられた各回路ブロック体 30a 乃至 30n が母基板 1 の剥離層 6 を介してそれぞれ 1 個ずつ独立して剥離される。製造工程においては、同図 (c) に示すように母基板 1 が、ダミー層 35 までカッタ 31 による切断痕 36 が生じていても、基材 5 の損傷は無い。製造工程においては、同図 (d) に示すように基材 5 から損傷したダミー層 35 と剥離層 6 とが除去される。

【0075】製造工程においては、母基板 1 の基材 5 を回収してその主面上に再びダミー層 35 と剥離層 6 とが再成膜されて次の回路ブロック集合体 30 の製作工程に再利用される。母基板 1 は、ダミー層 35 を樹脂材によ

って形成することで、基材 5 から容易に除去することが可能である。製造工程においては、基材 5 上にダミー層 35 や剥離層 6 を容易に形成して母基板 1 を形成することが可能であることから、比較的高価な基材 5 が再利用され製造コストと製造時間の低減が図られるようになる。

【0076】図 21 に示した高周波モジュール 40 は、多層配線基板からなるベース基板部 41 を第 1 層として、第 1 配線層 43 と、第 2 配線層 44 及び第 3 配線層 45 とからなる高周波素子層部 42 が接合され、さらに第 3 配線層 45 の表面上に高周波 IC 46 とチップ部品 47 とが実装されてなる。高周波モジュール 40 は、各配線層 43 乃至 45 が、上述した回路ブロック体 2 と同様に絶縁層と配線層とから構成されている。高周波モジュール 40 は、第 2 配線層 44 と第 3 配線層 45 とに複数の受動素子が内蔵されている。高周波モジュール 40 は、高周波 IC 46 を例えば半田パンパ 48 等を利用してフリップチップ実装するとともにチップ部品 47 を第 3 配線層 45 上に直接実装してなる。

【0077】以上のように構成された高周波モジュール 40 においては、ベース基板部 41 が有機配線基板を基材として構成されるとともにこのベース基板部 41 に電源やグラウンドの配線部や制御系の配線部が構成されて高周波素子層部 42 に対して電源或いは信号を供給する。高周波モジュール 40 においては、高周波素子層部 42 に高周波信号回路部を構成してアナログの高周波信号の処理を行う。高周波モジュール 40 においては、ベース基板部 41 と高周波素子層部 42 とが電磁的に分離されていることにより、電磁干渉の発生が抑制されて特性の向上が図られるようになる。高周波モジュール 40 は、ベース基板部 41 に充分な面積を有する電源やグラウンドの配線を形成することが可能となることから、高周波素子層部 42 に対してレギュレーションの高い電源供給を行う。

【0078】上述した工程を経て製作された回路ブロック体 2 は、図 22 に示すように高周波 IC 46 やチップ部品と同等のチップ部品として基板 51 上に直接実装されて配線回路装置 50 を構成する。配線回路装置 50 は、基板 51 の主面上に適宜の形成された配線パターン 52 に対して、半田パンパ 48 等を介して回路ブロック体 2 が実装される。配線回路装置 50 は、1 チップ部品としての高精度の回路ブロック体 2 を実装することで、高精度かつ廉価に形成される。配線回路装置 50 は、基板 51 の所望の位置に高精度の回路ブロック体 2 を設けることができ、小型軽量化が図られる。

【0079】上述した実施の形態においては、母基板 1 上に積層体からなる回路ブロック体 2 を製作し、この回路ブロック体 2 を剥離層 6 を介して母基板 1 から剥離した後にベース基板 3 に実装して高周波モジュール 40 を製作するようにしたが、本発明はかかる適用例に限定さ

れるものではない。本発明は、例えば図 23 に示すように複数の半導体チップ 62 を、4 層構成の回路ブロック体 61 の表面上にフェースダウン実装してなる半導体モジュール 60 にも適用される。なお、回路ブロック体 61 は、基本的な構成や製造プロセスを上述した回路ブロック体 2 と同等とすることから、それらの詳細な説明を省略する。

【0080】半導体モジュール 60 は、回路ブロック体 61 の表面上に半導体チップ 62 が実装されるとともに、この半導体チップ 62 を封止する封止樹脂層 63 が形成されてなる。半導体モジュール 60 は、狭ピッチ化が図られた高精度の回路ブロック体 61 上に半導体チップ 62 を高密度に実装してなる。半導体モジュール 60 は、半導体チップ 62 と封止樹脂層 63 とがその表面を研磨する研磨処理が施されることにより薄型化が図られている。半導体モジュール 60 は、上述した剥離工程を経て母基板 1 から剥離されることにより露出された回路ブロック体 61 の第 1 の配線層 61a が外部電極を構成する。

【0081】半導体モジュール 60 は、回路ブロック体 61 の各層の配線層が層間に適宜形成されたビア 10 を介して互いに層間接続されるとともに、詳細を省略するが最上層の配線層に半導体チップ 62 の各実装領域に対応してそれぞれ多数個の電極パッド 62b が形成されている。各電極パッド 62b は、半導体チップ 62 の実装面に形成された多数個のボンディングパッドに対応してそれぞれ形成されている。各電極パッド 62b は、上述した工程を経て回路ブロック体 61 が製作されることにより、半導体チップ 62 に狭ピッチで形成される多数個のボンディングパッドに対応して高精度に形成される。

【0082】半導体モジュール 60 の製造工程は、上述した工程を経て母基板 1 上に回路ブロック体 61 を製作した後工程として半導体チップ実装工程と、封止樹脂層形成工程と研磨工程とが施された後に、剥離工程が施されて半導体モジュール 60 を製造する。半導体チップ実装工程は、例えば回路ブロック体 61 の各パッド電極 61b 上にそれぞれ半田パンパを取り付けてフリップチップボンディング法により半導体チップ 62 を実装する工程である。半導体チップ実装工程は、例えば TAB (tape automated bonding) 法やビームリードボンディング法等の他の周知のフェースダウン実装法によって半導体チップ 62 を回路ブロック体 61 上に実装するようにしてもよい。

【0083】半導体モジュール 60 の製造工程においては、上述したように高平坦性を有する母基板 1 上で高精度の回路ブロック体 61 が製作されるとともに、この回路ブロック体 61 を母基板 1 に保持した状態、すなわち剥離工程の前工程で半導体チップ 62 が実装される。半導体チップ実装工程は、反りやうねり或いは凹凸の無い回路ブロック体 61 に対して、半導体チップ 62 を高精



度に実装する。

【0084】封止樹脂形成工程は、母基板1上に半導体チップ62を実装した回路ブロック体61を保持した状態で、この回路ブロック体61の表面に封止樹脂層63を形成する工程である。封止樹脂形成工程においては、封止樹脂材として例えばエポキシ系樹脂等が用いられるとともに、トランスファーモールド法や印刷法等により半導体チップ62を封止する封止樹脂層63を形成する。封止樹脂層63は、半導体チップ62及び接続電極部を機械的かつ電氣的に保護する。

【0085】研磨工程は、引き続き回路ブロック体61を母基板1に保持した状態で、例えばグラインダを用いた機械的研磨方法やウェットエッチング法による化学的研磨方法或いは機械的研磨方法と化学的研磨方法とを併用した方法等によって、封止樹脂層63の表面を研磨する工程である。研磨工程においては、封止樹脂層63ばかりでなく、機能に支障の無い最大範囲で半導体チップ62の表面も一括して研磨する。研磨工程においては、半導体チップ62が封止樹脂層63によって外周を封止されて機械的に保持されていることから、例えば機械的

【0086】半導体モジュール60の製造工程においては、ウェハ状態で研磨処理等が施された薄型の半導体チップを用いることなく、薄型に形成された回路ブロック体61上に厚みが100 $\mu$ m以下の半導体チップ62を実装した構造の薄型化が図られた半導体モジュール60の製造を可能とする。半導体モジュール60の製造工程においては、薄型の半導体チップを用いないことから、半導体チップ62に工程中への搬送等の取扱時に割れや欠けといった不都合の発生が抑制されるようになるとともに取り扱いも簡便となり、信頼性の向上が図られた半導体モジュール60を効率よく製造する。

【0087】なお、研磨工程については、剥離工程の後工程として回路ブロック体61を母基板1から剥離した後に行うようにしてもよいが、母基板1をベースとして機械的剛性が保持された状態で研磨を施すほうがより効率的であるとともに、信頼性も高い。

【0088】以上の工程を経て製造された半導体モジュール60は、例えば図23において鎖線で示すマザー基板（ベース基板）65上に接合する実装工程が施されることによって半導体装置を構成する。実装工程は、回路ブロック体61に形成された外部電極61aがベース基板65の主面上に形成された接続パッドにそれぞれ電氣的、機械的に結合されることによって行われる。実装工程は、具体的には回路ブロック体61に対する半導体チップ62の実装と同様に、フェースダウン法によって行われる。

【0089】半導体装置は、それぞれ異なる機能ブロッ

クを構成する半導体チップ62を回路ブロック体61上に実装することで、MCM半導体装置を構成する。半導体装置は、回路ブロック体61上に半導体チップ62を高密度に実装するとともに高密度の配線パターンが構成されることで、小型かつ薄型で配線パターン等のL・C・R成分を低減した高特性のMCM半導体装置を構成する。

【0090】半導体モジュール60においては、最上層の配線層に半導体チップ62を実装することによって回路ブロック体61上に他の表面実装型部品等が実装されない構造である。図24に示した半導体モジュール65は、半導体チップ62の実装面66aにも複数個の外部接続端子67が形成された回路ブロック体66を備える構成に特徴を有している。各外部接続端子67は、詳細を後述する工程を経て回路ブロック体66の実装面66aに金属からなる突起電極として形成されてなる。各外部接続端子67は、同図に示すようにそれぞれの表面が研磨された封止樹脂層63から露出されてなる。

【0091】半導体モジュール65は、図25に示した各工程を経て母基板1上に回路ブロック体66を保持した状態で外部接続端子67が形成される。半導体モジュール65の製造工程は、同図（a）に示した外部接続端子67を形成する外部接続端子形成工程が、同図（b）に示した半導体チップ実装工程の前工程で行われる。半導体モジュール65の製造工程においては、外部接続端子形成工程に引き続いて、半導体モジュール60の製造工程と同様に同図（c）に示した封止樹脂層63を形成する封止樹脂層形成工程と、同図（d）に示した封止樹脂層6等を研磨する研磨工程と、同図（e）に示した回路ブロック体66を母基板1から剥離する剥離工程とが施されて半導体モジュール65が製造される。

【0092】回路ブロック体66には、半導体チップ実装面66aを構成する最上層配線層68に、半導体チップ62を実装する電極パッド68aとともに外部接続端子67を形成する電極形成パッド68bが形成されている。回路ブロック体66は、母基板1側の第1層配線層66bが、剥離面とベース基板に対する実装面を構成する。

【0093】外部接続端子形成工程は、例えば最上層配線層68の電極形成パッド68b上にメッキ法によって金属凸部を形成したり、半田ボールを接合する等によって外部接続端子67を形成する工程である。メッキ法は、回路ブロック体66の最上層配線層68上にメッキレジストを適宜の方法によって塗布する工程と、外部接続端子67を形成する電極形成パッド68bに対応してメッキレジストを除去する工程と、電極形成パッド68bに対して電気銅メッキを施すことにより所定の厚みを有する金属凸部を形成する工程とからなる。半田ボールは、例えば回路ブロック体66を形成した母基板1をリフロー槽に供給することによって電極形成パッド68b

上に形成される。

【0094】外部接続端子67は、上述した工程を経て高精度に形成された回路ブロック体66に形成されることで、高精度でかつ狭ピッチ化、小型化されて構成することが可能である。外部接続端子67は、その高さ（厚み）が、後工程で回路ブロック体66に実装されるとともに研磨処理が施される半導体チップ62の厚みよりもやや大きく形成される。なお、外部接続端子67は、半導体モジュール65の薄型化を図るために半導体チップ62の表面を研磨する場合には、少なくとも半導体チップ62が最大に研磨される場合の厚みよりもやや大きな高さを以て形成される。

【0095】半導体チップ実装工程は、上述した工程と同様の方法によって、回路ブロック体66の電極パッド68a上に半導体チップ62を実装する。封止樹脂層形成工程は、半導体チップ62が実装されるとともに外部接続端子67が形成された回路ブロック体66の表面上に封止樹脂層63を形成する。研磨工程は、封止樹脂層63を研磨して外部接続端子67を露出させる。研磨工程では、上述したように半導体チップ62の表面も研磨することによって、薄型の半導体モジュール65を形成する。研磨工程においては、外部接続端子67が小型で多数個が形成されている場合においても、封止樹脂層63によってこれら外部接続端子67の外周を封止して機械的に保持した状態で研磨を施すことから、変形や損傷或いは電極形成パッド68bからの剥離等の発生が抑制されるようにする。

【0096】半導体モジュール65は、上述した剥離工程を経て母基板1から剥離される。半導体モジュール65は、母基板1からの剥離面がベース基板64との接合面66bを構成し、第1層の配線層を接続端子部として半田ボール等が設けられる。半導体モジュール65には、半導体チップ62を実装した表面にも多数個の外部接続端子67が形成されている。半導体モジュール65には、外部接続端子67を介して、半導体チップ62の実装面側にも適宜の表面実装型電子部品や他の半導体パッケージ等を実装することが可能とされ高密度化が図られるようになる。

【0097】半導体モジュール65においては、上述したように回路ブロック体66の接合面66bをベース基板64上に接合して半導体装置を構成するようにしたが、例えば図26に示すように表面実装型部品69を実装した半導体モジュール70を構成するようにしてもよい。表面実装型部品69としては、例えばチップ抵抗体やチップコンデンサ等の受動部品或いは半導体パッケージ等が用いられ、半田リフロー法等によって実装される。半導体モジュール70は、この場合、回路ブロック体66の第1層の配線層71が、ベース基板に対する接続端子部に代えて表面実装型部品69を実装するランドや接続回路パターンとして構成される。半導体モジュール70は、上述した工程を経て精密な回路ブロック体66が形成されることにより、第1層の配線層71に狭ピッチ化された高精度のランドや接続回路パターンが形成される。

【0098】したがって、半導体モジュール70には、第1層の配線層71上に、各種の表面実装型部品69が高密度にかつ高精度に実装される。また、半導体モジュール70は、上述した各種の表面実装型部品69を実装することによって、各半導体チップ62の周辺回路を同一のパッケージ内に構成することが可能となる。半導体モジュール70は、これによって配線部を短縮するとともに接続部を減らすことが可能となり、回路内におけるL・C・R成分を低減して高機能化、高性能化が図られるようになる。

【0099】上述した半導体モジュール65においては、例えば回路ブロック体66の接合面66b上に第2の半導体チップ72を実装することにより、図27に示した半導体モジュール73を構成してもよい。半導体モジュール73は、この場合、回路ブロック体66の第1層の配線層71が、半導体チップ72を実装するベース基板に対する接続端子部に代えて表面実装型部品69を実装する接続ランド74や接続回路パターンとして構成される。半導体モジュール73は、回路ブロック体66の表裏面にそれぞれ第1群の半導体チップ62と第2群の半導体チップ72とを3次元的に実装した多層半導体装置を構成する。

【0100】半導体モジュール73は、上述したように母基板1から剥離された半導体モジュール65を基材として、平坦な基板上に剥離面である第1層の配線層71を上側にして載置された後に半導体チップ実装工程と、封止樹脂形成工程と、研磨工程とが施されて製造される。半導体チップ実装工程は、回路ブロック体66の第1層の配線層71上に半導体チップ72を実装する工程である。半導体モジュール65には、図28(a)に示すように、回路ブロック体66の第1層の配線層71に形成したランド74上に半導体チップ72が実装される。

【0101】封止樹脂形成工程も、図28(b)に示すように実装された半導体チップ72を封止する封止樹脂層75を形成する工程である。研磨工程は、全体を薄型化するために、形成された封止樹脂層75の表面を研磨する工程であり、半導体チップ72の表面も同時に研磨する。研磨工程は、半導体チップ72が封止樹脂層75によって外周を封止されて機械的に保持されていることから、例えば機械的研磨を施した場合にも半導体チップ72にエッジ欠け等の損傷の発生を抑制して最大量の研磨を行うことが可能である。

【0102】以上の工程を経て製造された半導体モジュール73は、第1群の半導体チップ62を実装した側に上述した外部接続端子67が形成されており、これら外

部接続端子 67 を介してベース基板等に実装された多層半導体装置を構成する。半導体モジュール 73 は、例えば第 2 群の半導体チップ 72 を搭載した側に、上述した工程を経て外部接続端子 67 を形成するようにしてもよい。半導体モジュール 73 は、かかる構成を採用することにより、この面を接合面としてベース基板に実装することが可能となる。

#### 【0103】

【発明の効果】以上詳細に説明したように、本発明によれば、高精度の平坦面と薄膜形成時の表面温度の上昇に対する耐熱特性やリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり絶縁性や耐薬品性を有する母基板を用いて回路ブロック体を製造することで、基板の反りや表面の凹凸に影響されることなく微細な配線部を有する高精度で信頼性の高い回路ブロック体の製造が効率的に行われる。本発明によれば、回路ブロック体の内部に高精度の成膜素子を内蔵したり半導体チップや電子部品等の高密度実装を可能とする薄型の回路ブロック体が製造される。

【0104】本発明によれば、母基板から剥離した回路ブロック体をベース基板上に接合することにより、回路ブロック体がベース基板側から電源や信号の供給を受ける薄型化された高精度の配線回路装置が効率的に製造される。配線回路装置は、ベース基板等に対する直接の実装も簡易に行われ、回路ブロック体とベース基板側とが電磁的に分離されて干渉の発生が抑制されることで、特性の向上が図られるとともにベース基板側に十分な面積を有する電源やグラウンドの配線を形成することが可能であることからレギュレーションの高い電源供給が行われる配線回路装置が得られる。

【0105】本発明によれば、高精度で微細な配線部を有する回路ブロック体に対して多数個の半導体チップを簡易な工程によって実装することで、高精度で多機能化が図られた小型の半導体装置が効率的に製造される。本発明によれば、半導体チップを欠けや破損等を生じさせることなく表面研磨を施して薄型化された回路ブロック体の実装することが可能であることから、全体の薄型化が図られるとともに高密度実装化が図られる。本発明によれば、半導体チップを実装した回路ブロック体とベース基板側とが電磁的に分離されて干渉の発生が抑制されることで、特性の向上が図られるとともにベース基板側に十分な面積を有する電源やグラウンドの配線を形成することが可能であることからレギュレーションの高い電源供給が行われる半導体装置が得られる。

#### 【図面の簡単な説明】

【図 1】本発明にかかる高周波モジュールの製造工程図である。

【図 2】同高周波モジュールの製造工程に用いられる母基板の縦断面図である。

【図 3】第 1 の絶縁層が形成された母基板の縦断面図で

ある。

【図 4】第 1 の配線層が形成された母基板の縦断面図である。

【図 5】第 2 の絶縁層と第 2 の配線層とが形成された母基板の縦断面図である。

【図 6】第 2 の配線層に薄膜抵抗体と薄膜キャパシタとが形成された母基板の縦断面図である。

【図 7】第 3 の絶縁層が形成された母基板の縦断面図である。

【図 8】第 3 の配線層が形成された母基板の縦断面図である。

【図 9】母基板上に製作された回路ブロック体の剥離工程の説明図である。

【図 10】ベース基板の縦断面図である。

【図 11】ベース基板と回路ブロック体との接合工程説明図である。

【図 12】ベース基板と回路ブロック体とを接合した状態の縦断面図である。

【図 13】高周波モジュールの縦断面図である。

【図 14】接着剤層が設けられたベース基板の縦断面図である。

【図 15】同ベース基板と回路ブロック体との接合工程説明図である。

【図 16】同ベース基板と回路ブロック体との熱圧着接合工程説明図である。

【図 17】高周波モジュールの縦断面図である。

【図 18】回路ブロック集体の切断工程説明図である。

【図 19】回路ブロック体の剥離工程説明図である。

【図 20】ダミー層を設けた母基板を用いた回路ブロック体の製造工程説明図であり、同図 (a) は切断工程説明図、同図 (b) は剥離工程説明図、同図 (c) は切断工程後の母基板の縦断面図、同図 (d) は樹脂層を除去した母基板の縦断面図である。

【図 21】他の高周波モジュールの縦断面図である。

【図 22】他の高周波モジュールの縦断面図である。

【図 23】本発明にかかる半導体モジュールの縦断面図である。

【図 24】半導体チップ実装面に外部接続端子が形成された半導体モジュールの縦断面図である。

【図 25】同半導体モジュールの製造工程の説明図である。

【図 26】半導体チップ実装面に表面実装型部品を搭載した半導体モジュールの縦断面図である。

【図 27】半導体チップを両面に実装した半導体モジュールの縦断面図である。

【図 28】同半導体モジュールの製造工程の説明図である。

【図 29】薄膜抵抗体を形成した配線基板の縦断面図である。

【図 30】薄膜キャパシタを形成した配線基板の縦断面

図である。

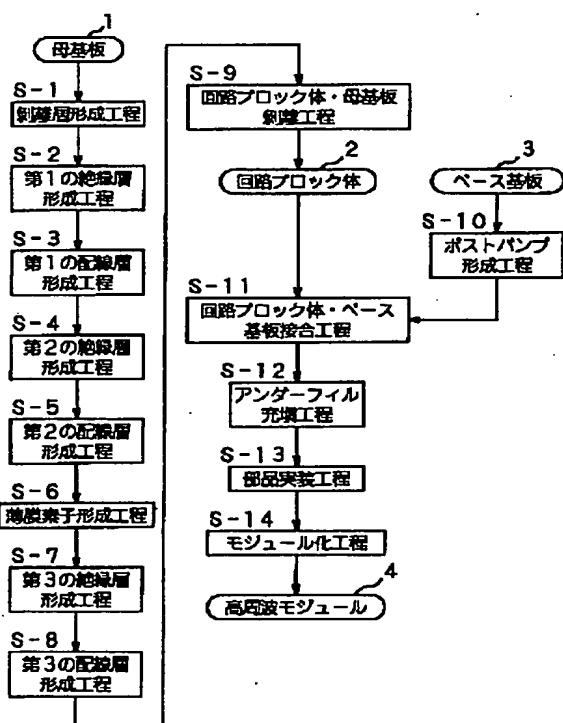
【図31】従来の高周波モジュールの縦断面図である。

【図32】従来の半導体装置の縦断面図である。

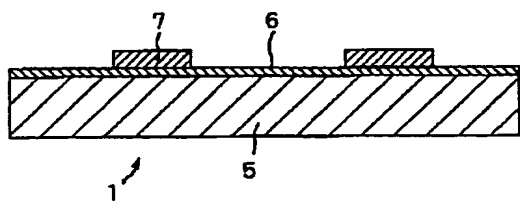
【符号の説明】

1 母基板、2 回路ブロック体、3 ベース基板、4 高周波モジュール、5 基材、6 剥離層、7 第1の絶縁層、8 第1の配線層、9 第2の絶縁層、10 ビア、11 第2の配線層、12 薄膜抵抗体、13 薄膜キャパシタ、14 第3の絶縁層、15 ビア、16 第3の配線層、17 インダクタ、19 配線層、20 ビア、21 ポストパンプ、22 アンダーフィル、23 接着剤層、30 回路ブロック集合体、3

【図1】

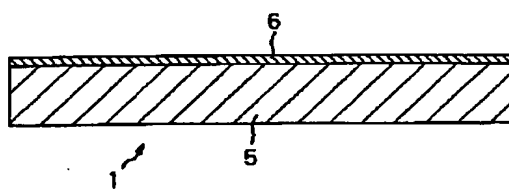


【図3】

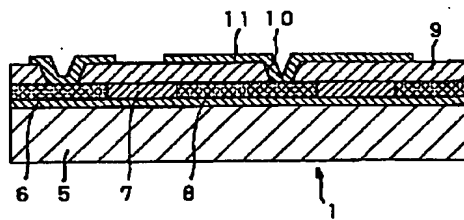


1 カッタ、32 切断痕、35 ダミー層、36 切断痕、40 高周波モジュール、41 ベース基板部、42 高周波素子層部、43 絶縁層、44 第1素子形成層、45 第2素子形成層、46 高周波IC、47 チップ部品、48 半田パンプ、50 高周波モジュール、51 ベース基板部、52 配線層、60 半導体モジュール、61 回路ブロック体、62 半導体チップ、63 封止樹脂層、64 ベース基板、65 半導体モジュール、66 回路ブロック体、67 外部接続端子、69 表面実装型部品、70 半導体モジュール、72 半導体チップ、73 半導体モジュール、75 封止樹脂層

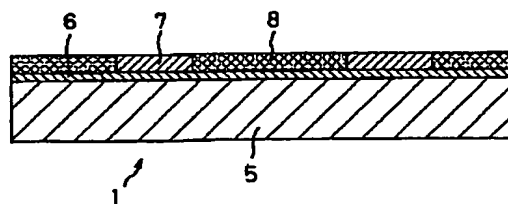
【図2】



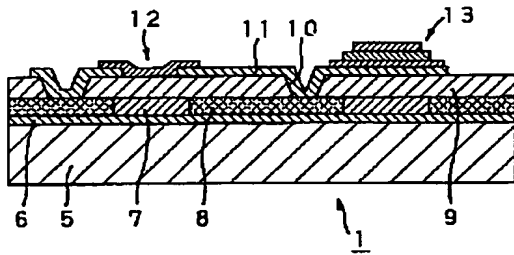
【図5】



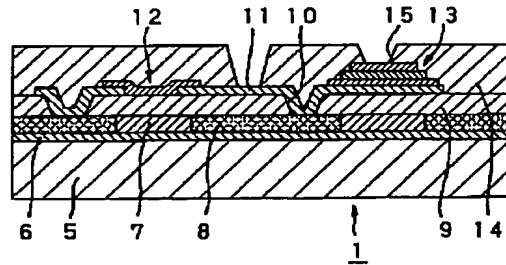
【図4】



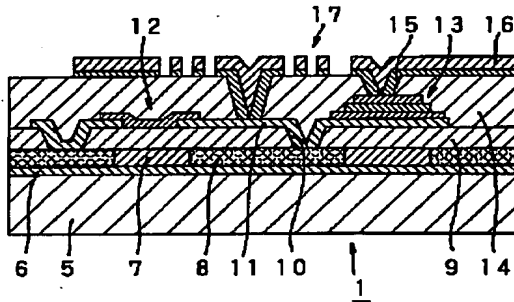
【図6】



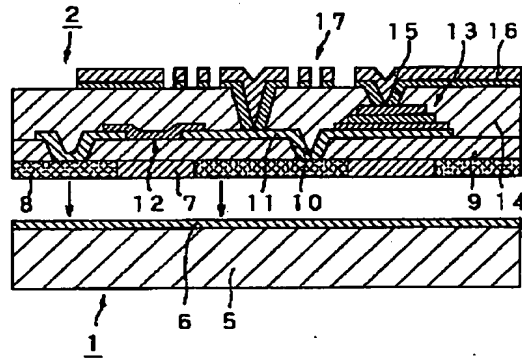
【図7】



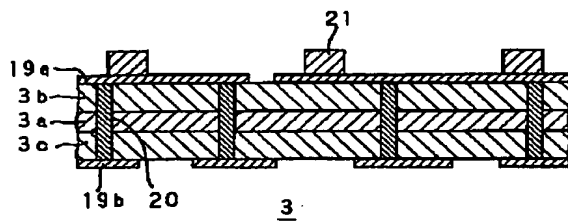
【図8】



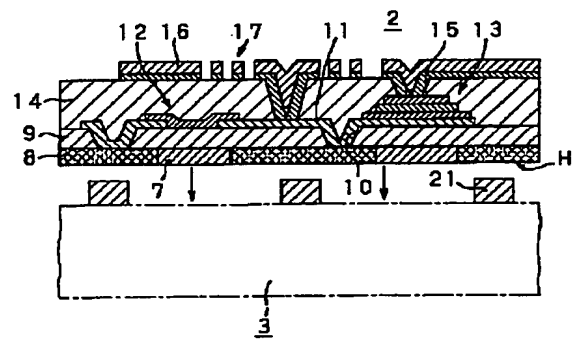
【図9】



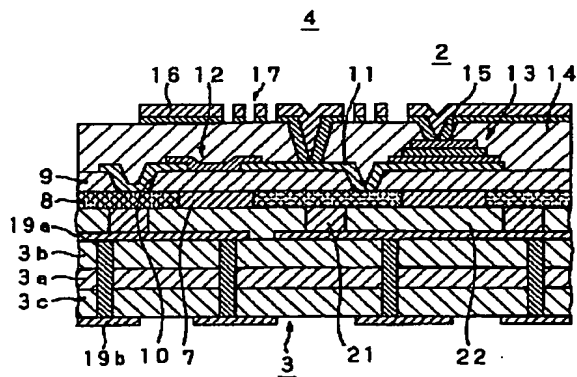
【図10】



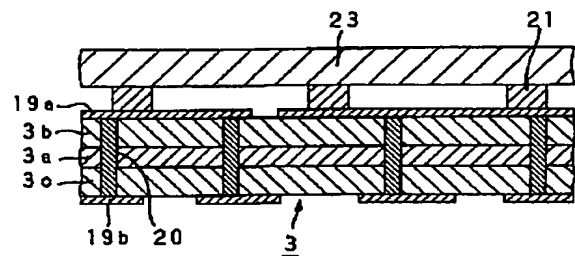
【図11】



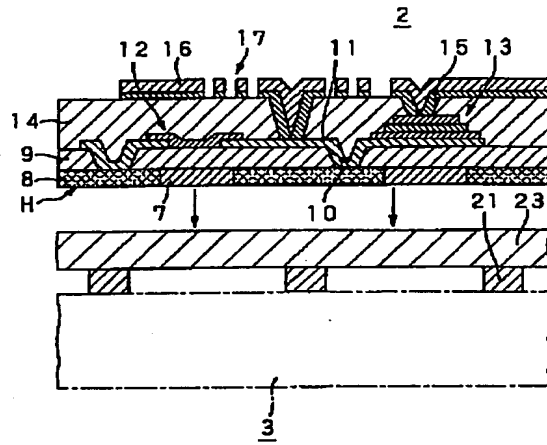
【図13】



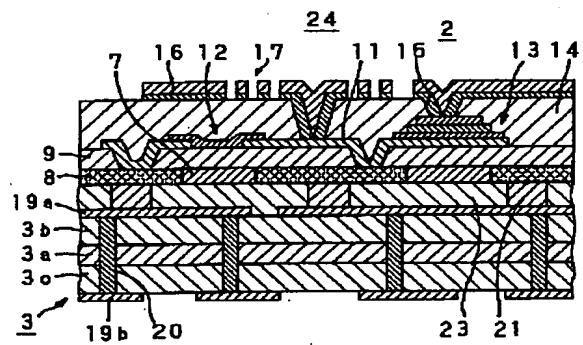
【図14】



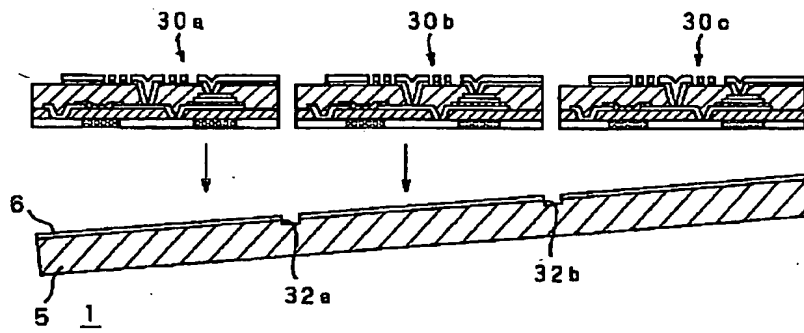
【図 15】



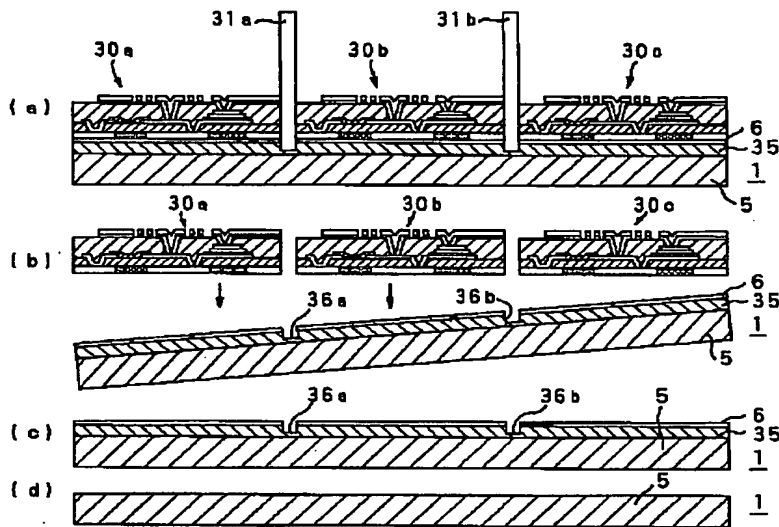
【図 17】



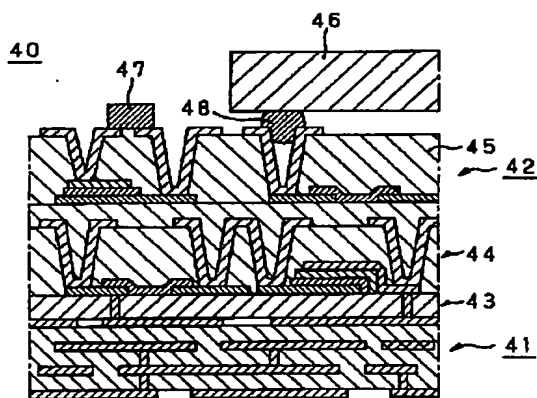
【図 19】



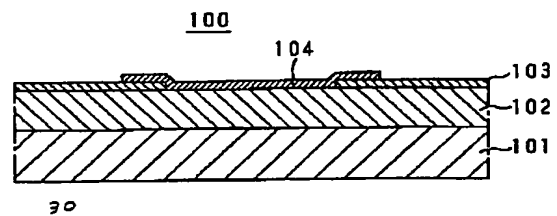
【図 20】



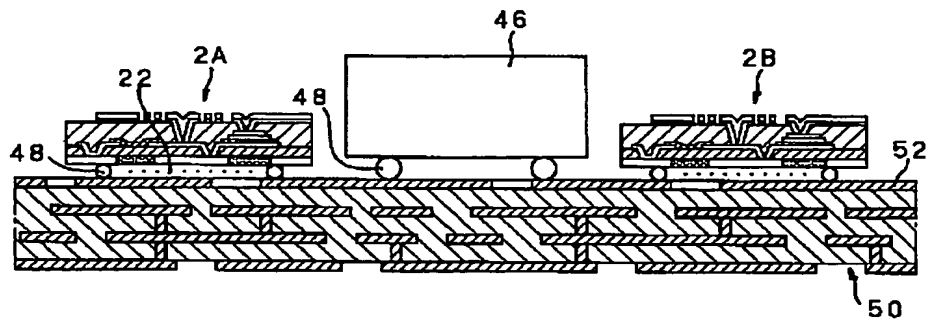
【図 21】



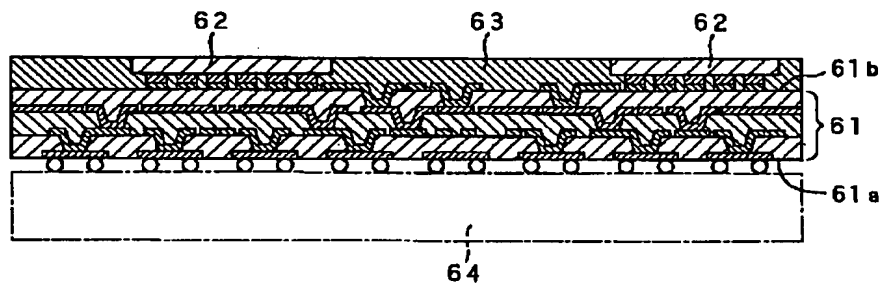
【図 29】



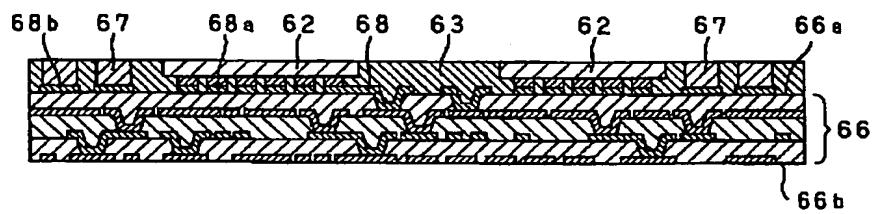
【図 22】

50

【図 23】

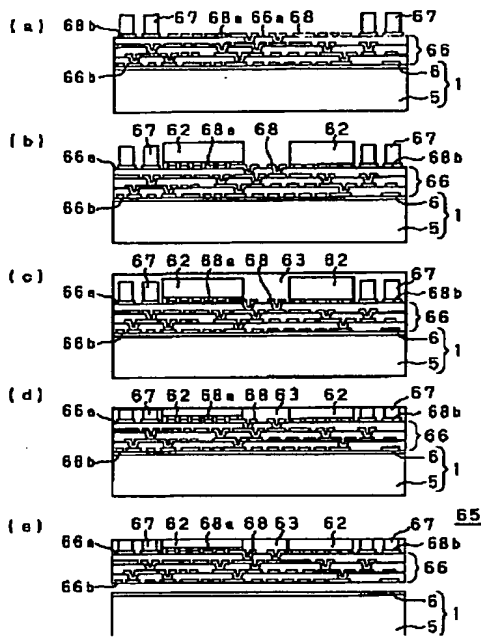
60

【図 24】

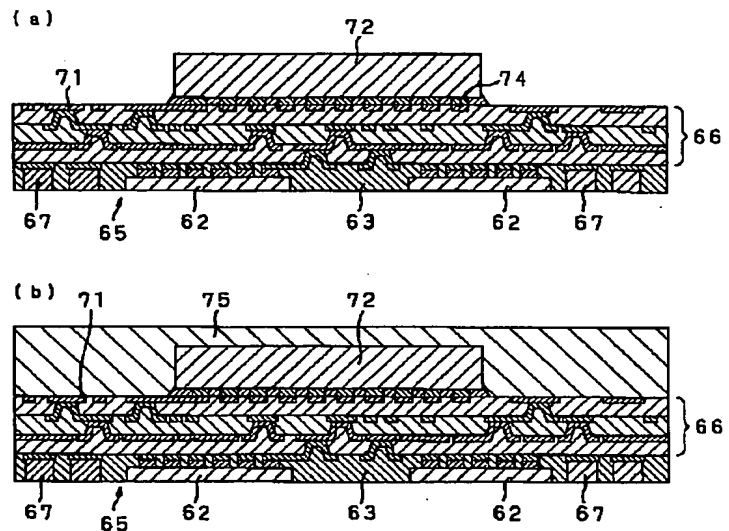
65



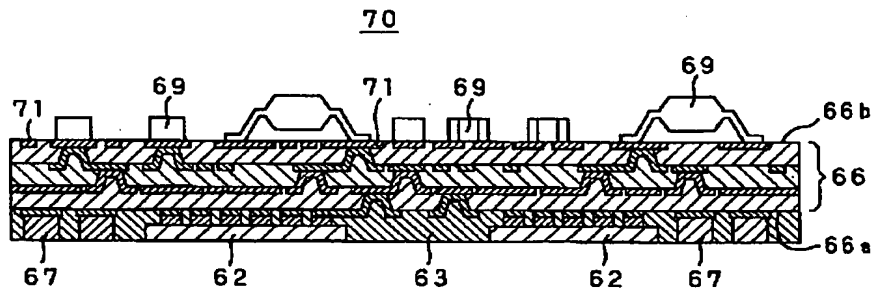
【図 25】



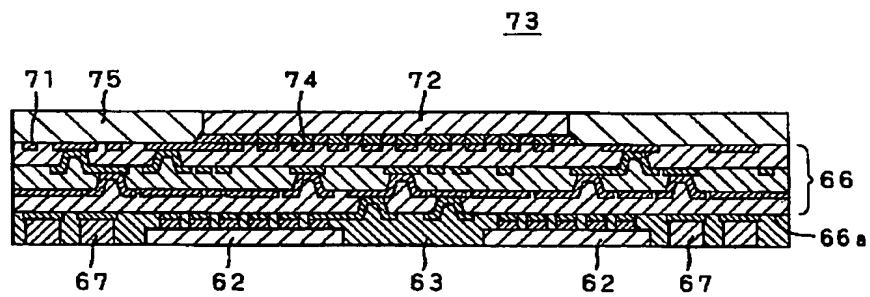
【図 28】



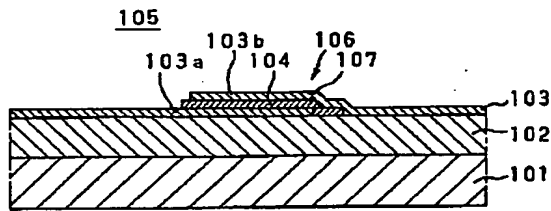
【図 26】



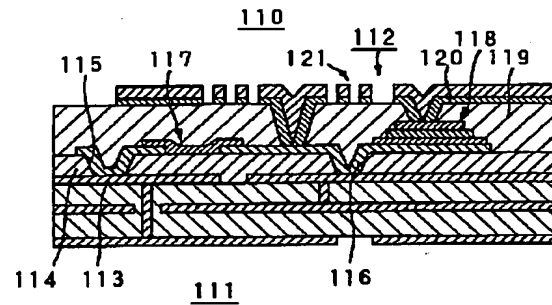
【図 27】



【図30】

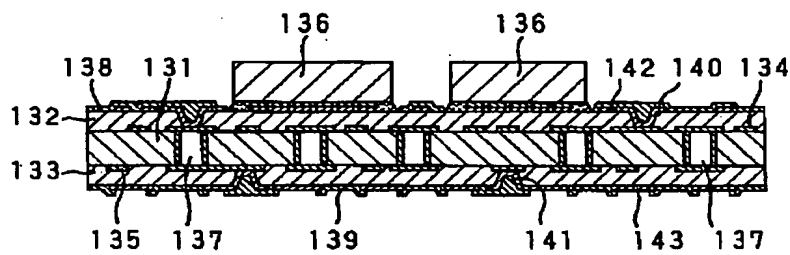


【図31】



【図32】

130



フロントページの続き

(72)発明者 奥洞 明彦  
 東京都品川区北品川6丁目7番35号 ソニ  
 ー株式会社内

Fターム(参考) 5E346 AA02 AA12 AA13 AA14 AA15  
 AA16 AA22 AA43 BB02 BB07  
 BB16 CC08 CC21 CC25 CC32  
 DD25 DD33 EE34 FF01 FF04  
 FF07 FF12 FF13 FF27 FF35  
 FF37 GG15 GG17 GG22 GG23  
 GG25